

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2005 EPO. All rts. reserv.

17747352

Basic Patent (No,Kind,Date): US 20020041266 AA 20020411 <No. of Patents:

002>

**Liquid crystal display device** (English)

Patent Assignee: KOYAMA JUN (JP); ATSUMI TOMOAKI (JP); MIYAKE HIROYUKI (JP)

Author (Inventor): KOYAMA JUN (JP); ATSUMI TOMOAKI (JP); MIYAKE HIROYUKI (JP)

National Class: \*345087000;

IPC: \*G09G-003/36;

Language of Document: English

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 2002196306	A2	20020712	JP 2001294269	A	20010926
US 20020041266	AA	20020411	US 969591	A	20011004 (BASIC)

Priority Data (No,Kind,Date):

JP 2001294269 A 20010926

JP 2000305642 A 20001005

DIALOG(R)File 347:JAPIO

(c) 2005 JPO & JAPIO. All rts. reserv.

07327818

LIQUID CRYSTAL DISPLAY DEVICE

PUB. NO.: 2002-196306 [JP 2002196306 A]

PUBLISHED: July 12, 2002 (20020712)

INVENTOR(s): KOYAMA JUN

ATAMI TOMOAKI

MIYAKE HIROYUKI

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD

APPL. NO.: 2001-294269 [JP 2001294269]

FILED: September 26, 2001 (20010926)

PRIORITY: 2000-305642 [JP 2000305642], JP (Japan), October 05, 2000  
(20001005)

INTL CLASS: G02F-001/133; G09F-009/00; G09F-009/30; G09F-009/35;  
G09G-003/20; G09G-003/36

ABSTRACT

PROBLEM TO BE SOLVED: To provide a liquid crystal display device having low power consumption.

SOLUTION: In a liquid crystal display device displaying a picture by using the digital video signal of  $n$  ( $n$  is the natural number and  $n \geq 2$ ) bits, the device has a storage circuit storing the digital video signal of  $n$  bits and a D/A converter circuit of the signal in a pixel and the device can store the digital video signal equivalent to one frame in the pixels. At the time of displaying a still picture, since the device performs display by reading out the digital video signal stored in storage circuits for every frame, only a DAC(digital-to-analog converting) controller is driven in this interval. As a result, the displaying of the still picture contributes to reduction of power consumption in the whole of the display device.

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-196306

(P 2 0 0 2 - 1 9 6 3 0 6 A)

(43) 公開日 平成14年7月12日 (2002. 7. 12)

(51) Int. Cl. <sup>7</sup>	識別記号	F I	テ-マ-コ-ド (参考)
G02F 1/133	550	G02F 1/133	550 2H093
G09F 9/00	348	G09F 9/00	348 C 5C006
			348 G 5C080
9/30	338	9/30	338 5C094
9/35		9/35	5G435
審査請求 未請求 請求項の数23 O L (全28頁) 最終頁に続く			

(21) 出願番号	特願2001-294269 (P 2001-294269)	(71) 出願人	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(22) 出願日	平成13年9月26日 (2001. 9. 26)	(72) 発明者	小山 潤 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
(31) 優先権主張番号	特願2000-305642 (P2000-305642)	(72) 発明者	熱海 知昭 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
(32) 優先日	平成12年10月5日 (2000. 10. 5)	(72) 発明者	三宅 博之 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
(33) 優先権主張国	日本 (J P)		

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 低消費電力の液晶表示装置を提供する。

【解決手段】  $n$  ビット ( $n$  は自然数、 $n \geq 2$ ) のデジタル映像信号を用いて映像の表示を行う液晶表示装置において、画素内には  $n$  ビットのデジタル映像信号を記憶する記憶回路と D/A 変換回路とを有し、 $n$  ビットの映像信号を 1 フレーム分、画素内で記憶することが出来る。静止画像の表示は、記憶回路に記憶された映像信号をフレーム毎に読み出して表示を行うため、この間は D/A C コントローラのみが駆動している。よって、液晶表示装置全体での消費電力の低減に寄与する。

## 【特許請求の範囲】

【請求項 1】ソース信号線駆動回路と、ゲート信号線駆動回路と、DACコントローラと、画素部とを有し、 $n$ ビット( $n$ は自然数、 $n \geq 2$ )のデジタル映像信号を用いて映像の表示を行う液晶表示装置において、前記画素部における 1 つの画素はそれぞれ、前記  $n$  ビットのデジタル映像信号を記憶する、1 ビット  $\times n$  個の記憶回路と、D/A 変換回路とを有することを特徴とする液晶表示装置。

【請求項 2】ソース信号線駆動回路と、ゲート信号線駆動回路と、DACコントローラと、画素部とを有し、 $n$ ビット( $n$ は自然数、 $n \geq 2$ )のデジタル映像信号を用いて映像の表示を行う液晶表示装置において、前記画素部における 1 つの画素はそれぞれ、前記  $n$  ビットのデジタル映像信号を記憶する、1 ビット  $\times n$  個の記憶回路と、D/A 変換回路とを有し、前記記憶回路は、1 フレーム分の前記  $n$  ビットのデジタル映像信号を記憶することを特徴とする液晶表示装置。

【請求項 3】ソース信号線駆動回路と、ゲート信号線駆動回路と、DACコントローラと、画素部とを有し、 $n$ ビット( $n$ は自然数、 $n \geq 2$ )のデジタル映像信号を用いて映像の表示を行う液晶表示装置において、前記画素部における 1 つの画素はそれぞれ、前記  $n$  ビットのデジタル映像信号を記憶する、1 ビット  $\times n$  個の記憶回路と、D/A 変換回路とを有し、前記液晶表示装置は、クロック信号とスタートパルスとに従って、サンプリングパルスを出力する手段と、前記サンプリングパルスに従って、前記デジタル映像信号の保持を行う手段と、前記保持されたデジタル映像信号を、記憶する手段と、前記記憶された前記デジタル映像信号を読み出し、D/A 変換を行ってアナログ階調信号を得る手段と、前記アナログ階調信号によって映像の表示を行う手段と、を有することを特徴とする液晶表示装置。

【請求項 4】請求項 1 乃至請求項 3 のいずれか 1 項に記載の液晶表示装置において、前記ソース信号線駆動回路は、デジタル映像信号をビット毎に順次入力することを特徴とする液晶表示装置。

【請求項 5】請求項 1 乃至請求項 4 のいずれか 1 項に記載の液晶表示装置において、前記ゲート信号線駆動回路は、ゲート信号線を介して、1 画素中の前記記憶回路を、1 水平期間中にビット毎に順次駆動することを特徴とする液晶表示装置。

【請求項 6】請求項 1 乃至請求項 5 のいずれか 1 項に記載の液晶表示装置において、前記 DAC コントローラには、複数の固定電位が入力され、前記複数の固定電位のうち少なくとも 1 つを選択して画素に供給することを特徴とする液晶表示装置。

【請求項 7】請求項 6 に記載の液晶表示装置において、

前記 DAC コントローラは、複数のラッチ回路を有し、前記ラッチ回路に記憶された選択情報に応じて前記複数の固定電位のうち少なくとも 1 つを選択することを特徴とする液晶表示装置。

【請求項 8】請求項 7 に記載の液晶表示装置において、前記選択情報は、一定周期毎に書き換えられることを特徴とする液晶表示装置。

【請求項 9】請求項 1 乃至請求項 6 のいずれか 1 項に記載の液晶表示装置において、

前記記憶回路はスタティック型メモリ(SRAM)であることを特徴とする液晶表示装置。

【請求項 10】請求項 1 乃至請求項 9 のいずれか 1 項に記載の液晶表示装置において、

前記ソース信号線駆動回路と、ゲート信号線駆動回路と、DACコントローラとは画素部と同一基板上に形成されていることを特徴とする液晶表示装置。

【請求項 11】請求項 1 乃至請求項 9 のいずれか 1 項に記載の液晶表示装置において、

前記ソース信号線駆動回路、前記ゲート信号線駆動回路、または前記 DAC コントローラのうち少なくとも 1 つは外部回路であることを特徴とする液晶表示装置。

【請求項 12】請求項 1 乃至請求項 10 のいずれか 1 項に記載の液晶表示装置において、

静止画像の表示期間においては、前記 DAC コントローラのみを駆動して、前記記憶回路に記憶されたデジタル映像信号を繰り返し読み出し、D/A 変換を行ってアナログ階調信号を得、前記アナログ階調信号によって映像の表示を行うことにより、

前記ソース信号線駆動回路および前記ゲート信号線駆動回路のそれぞれを停止することを特徴とする液晶表示装置。

【請求項 13】請求項 1 乃至請求項 9、または請求項 11 のいずれか 1 項に記載の液晶表示装置において、静止画像の表示期間においては、前記 DAC コントローラのみを駆動して、

前記記憶回路に記憶されたデジタル映像信号を繰り返し読み出し、D/A 変換を行ってアナログ階調信号を得、前記アナログ階調信号によって映像の表示を行うことにより、

前記 DAC コントローラを含まない外部回路を停止することを特徴とする液晶表示装置。

【請求項 14】請求項 1 乃至請求項 13 のいずれか 1 項に記載の液晶表示装置において、

前記ソース信号線駆動回路は X アドレスデコーダを有し、

前記ゲート信号線駆動回路は Y アドレスデコーダを有し、

前記記憶回路は、表示領域内の任意の座標の画素において書き換えが可能であることを特徴とする液晶表示装

置。

【請求項 1 5】請求項 1 乃至請求項 1 4 のいずれか 1 項に記載の液晶表示装置において、前記記憶回路は、ガラス基板上に形成されていることを特徴とする液晶表示装置。

【請求項 1 6】請求項 1 乃至請求項 1 4 のいずれか 1 項に記載の液晶表示装置において、前記記憶回路は、プラスチック基板上に形成されていることを特徴とする液晶表示装置。

【請求項 1 7】請求項 1 乃至請求項 1 4 のいずれか 1 項 10 に記載の液晶表示装置において、前記記憶回路は、ステンレス基板上に形成されていることを特徴とする液晶表示装置。

【請求項 1 8】請求項 1 乃至請求項 1 4 のいずれか 1 項に記載の液晶表示装置において、前記記憶回路は、単結晶ウェハ上に形成されていることを特徴とする液晶表示装置。

【請求項 1 9】請求項 1 乃至請求項 1 8 のいずれか 1 項 20 に記載の液晶表示装置を用いることを特徴とする液晶ディスプレイ。

【請求項 2 0】請求項 1 乃至請求項 1 8 のいずれか 1 項に記載の液晶表示装置を用いることを特徴とするパーソナルコンピュータ。

【請求項 2 1】請求項 1 乃至請求項 1 8 のいずれか 1 項に記載の液晶表示装置を用いることを特徴とする携帯情報端末。

【請求項 2 2】請求項 1 乃至請求項 1 8 のいずれか 1 項に記載の液晶表示装置を用いることを特徴とするカーオーディオ。

【請求項 2 3】請求項 1 乃至請求項 1 8 のいずれか 1 項 30 に記載の液晶表示装置を用いることを特徴とするデジタルカメラ。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】本発明は、表示装置および表示装置の駆動回路に関し、特に、絶縁体上に作成される薄膜トランジスタを有するアクティブマトリクス型表示装置およびアクティブマトリクス型表示装置の駆動回路に関する。その中で特に、映像ソースとしてデジタル映像信号を用いるアクティブマトリクス型液晶表示装置およびアクティブマトリクス型液晶表示装置の駆動回路に関する。

【0 0 0 2】

【従来の技術】近年、絶縁体上、特にガラス基板上に半導体薄膜を形成した表示装置、特に薄膜トランジスタ(以下 T F T と表記する)を用いたアクティブマトリクス型表示装置が普及してきている。T F T を使用したアクティブマトリクス型表示装置は、マトリクス状に配置された数十万から数百万の T F T を有し、各画素の電荷を制御することによって画像の表示を行っている。

【0 0 0 3】さらに最近の技術として、画素を構成する画素 T F T の他に、画素部の周辺部に、T F T を用いて駆動回路を同時形成するポリシリコン T F T に関する技術が発展してきており、装置の小型化、低消費電力化に大いに貢献し、それに伴って、近年その応用分野の拡大が著しいモバイル機器の表示部等に、液晶表示装置は不可欠なデバイスとなってきている。

【0 0 0 4】通常のデジタル方式のアクティブマトリクス型液晶表示装置の概略図を、図 1 4 (A) に示す。基板 1 4 0 1 の中央に画素部 1 4 0 4 が配置されている。画素部の上側には、ソース信号線を制御するための、ソース信号線駆動回路 1 4 0 2 が配置されている。画素部の左右には、ゲート信号線を制御するための、ゲート信号線駆動回路 1 4 0 3 が配置されている。なお、図 1 4 (A) においては、ゲート信号線駆動回路 1 4 0 3 は、画素部の左右両側に対称配置されているが、片側配置でも構わない。ただし、両側配置とした方が、駆動効率、駆動信頼性の面から見て望ましい。各駆動回路への外部からの信号入力は、フレキシブルプリントサーキット(Flexible Print Circuit: F P C) 1 4 0 5 を介して行われる。

【0 0 0 5】図 1 4 (B) は、図 1 4 (A) において、画素部 1 4 0 4 内で、点線枠 1 4 0 6 で囲まれた 2 × 2 画素の部分の回路図を拡大したものである。1 つの画素は、ソース信号線 1 4 5 1、ゲート信号線 1 4 5 2、画素 T F T 1 4 5 3、液晶 1 4 5 4、保持容量 1 4 5 5 を有する。

【0 0 0 6】ソース信号線駆動回路 1 4 0 2 は、例えば図 1 5 に示すような構成をしている。図 1 5 に例として示す駆動回路は、3 ビットデジタル階調の表示に対応したソース信号線駆動回路であり、シフトレジスタ回路(S R) 1 5 0 1、第 1 のラッチ回路(L A T 1) 1 5 0 2、第 2 のラッチ回路(L A T 2) 1 5 0 3、D / A (デジタル / アナログ) 変換回路(Digital / Analog Converter: D A C) 1 5 0 4 等を有する。なお、図 1 5 では図示していないが、必要に応じてバッファ回路、レベルシフト回路等を配置しても良い。

【0 0 0 7】図 1 5 を用いて動作について簡単に説明する。まず、シフトレジスタ回路 1 5 0 1 にクロック信号(S - C L K、S - C L K b) およびスタートパルス(S - S P) が入力され、順次サンプリングパルスが出力される。続いて、サンプリングパルスは第 1 のラッチ回路 1 5 0 2 に入力され、そのタイミングにおいて、同じく第 1 のラッチ回路 1 5 0 2 に入力されたデジタル映像信号(D i g i t a l D a t a) をそれぞれ保持していく。ここで、D 2 が最上位ビット(Most Significant Bit: M S B)、D 0 が最下位ビット(Least Significant Bit: L S B) である。第 1 のラッチ回路 1 5 0 2 において、1 水平周期分のデジタル映像信号の保持が完了すると、帰線期間中に、第 1 のラッチ回路 1 5 0 2 で保持

されているデジタル映像信号は、ラッチ信号(L a t c h P u l s e)の入力に従い、一斉に第 2 のラッチ回路 1 5 0 3 へと転送される。

【0 0 0 8】その後、再びシフトレジスタ回路 1 5 0 1 が動作し、次の水平周期分のデジタル映像信号の保持が開始される。一方で、同時に、第 2 のラッチ回路 1 5 0 3 で保持されているデジタル映像信号は、D/A変換回路 1 5 0 4 にてアナログ映像信号へと変換される。このアナログ化されたデジタル映像信号は、ソース信号線を経由して、ゲート信号線(G a t e L i n e)が選択状態にある行の画素 1 5 0 5 に書き込まれる。この動作を繰り返すことによって、画像の表示が行われる。

【0 0 0 9】

【発明が解決しようとする課題】一般的なアクティブマトリクス型液晶表示装置においては、動画の表示をスムーズに行うため、1 秒間に 6 0 回前後、画面表示の更新が行われる。すなわち、1 フレーム毎にデジタル映像信号を供給し、その都度画素への書き込みを行う必要がある。たとえ、映像が静止画であったとしても、1 フレーム毎に同一の信号を供給し続けなければならないため、駆動回路が連続して同じデジタル映像信号の繰り返し処理を行う必要がある。

【0 0 1 0】静止画のデジタル映像信号を一旦、外部の記憶回路に書き込み、以後は 1 フレーム毎に外部の記憶回路から液晶表示装置にデジタル映像信号を供給する方法もあるが、いずれの場合にも外部の記憶回路と駆動回路は動作し続ける必要があることに変わりはない。

【0 0 1 1】特にモバイル機器においては、低消費電力化が大きく望まれている。さらに、このモバイル機器においては、静止画モードで使用されることが大部分を占めているにもかかわらず、前述のように外部回路、駆動回路などは静止画表示の際にも動作し続けているため、低消費電力化への足かせとなっている。

【0 0 1 2】本発明は前述のような問題点を鑑見て、新規の回路を用いることにより、静止画の表示時における外部回路、信号線駆動回路などの消費電力を低減することを課題とする。

【0 0 1 3】

【課題を解決するための手段】前述した課題を解決するために、本発明では次のような手段を用いた。

【0 0 1 4】1 つの画素は、デジタル映像信号の各ビットを記憶するための記憶回路と、D/A変換回路とを有し、ソース信号線から入力されるデジタル映像信号は、一旦記憶回路に保持され、D/A変換されて液晶を駆動する。静止画の場合、一度記憶回路にてデジタル映像信号の記憶がなされて以降は、画素に書き込まれる情報は同様であるから、フレーム毎にデジタル映像信号の更新を行わなくとも、記憶回路に記憶されているデジタル映像信号を読み出して、静止画を表示することが出来る。すなわち、静止画表示を行っている間は、最初の 1 フレ

ーム分のみのデジタル映像信号の処理動作を行って以降は、画素内の D/A 変換回路によって、記憶回路に記憶されているデジタル映像信号を処理し、画素に書き込みを行う。よって、その間は駆動回路の大部分を停止させたままでの表示が可能である。その結果、消費電力の大幅な低減に寄与する。本発明を使用した液晶表示装置においては、従来 1 0 0 [mW] 程度であった消費電力を、1 0 [mW] 程度に低減することが可能となった。

【0 0 1 5】以下に、本発明の表示装置の構成について記載する。

【0 0 1 6】本発明の液晶表示装置の第 1 の特徴は、ソース信号線駆動回路と、ゲート信号線駆動回路と、D/A C コントローラと、画素部とを有し、n ビット(n は自然数、 $n \geq 2$ ) のデジタル映像信号を用いて映像の表示を行う液晶表示装置において、前記画素部における 1 つの画素はそれぞれ、前記 n ビットのデジタル映像信号を記憶する、1 ビット  $\times$  n 個の記憶回路と、D/A 変換回路とを有することを特徴としている。

【0 0 1 7】本発明の液晶表示装置の第 2 の特徴は、ソース信号線駆動回路と、ゲート信号線駆動回路と、D/A C コントローラと、画素部とを有し、n ビット(n は自然数、 $n \geq 2$ ) のデジタル映像信号を用いて映像の表示を行う液晶表示装置において、前記画素部における 1 つの画素はそれぞれ、前記 n ビットのデジタル映像信号を記憶する、1 ビット  $\times$  n 個の記憶回路と、D/A 変換回路とを有し、前記記憶回路は、1 フレーム分の前記 n ビットのデジタル映像信号を記憶することを特徴としている。

【0 0 1 8】本発明の液晶表示装置の第 3 の特徴は、ソース信号線駆動回路と、ゲート信号線駆動回路と、D/A C コントローラと、画素部とを有し、n ビット(n は自然数、 $n \geq 2$ ) のデジタル映像信号を用いて映像の表示を行う液晶表示装置において、前記画素部における 1 つの画素はそれぞれ、前記 n ビットのデジタル映像信号を記憶する、1 ビット  $\times$  n 個の記憶回路と、D/A 変換回路とを有し、前記液晶表示装置は、クロック信号とスタートパルスとに従って、サンプリングパルスを出力する手段と、前記サンプリングパルスに従って、前記デジタル映像信号の保持を行う手段と、前記保持されたデジタル映像信号を、記憶する手段と、前記記憶された前記デジタル映像信号を読み出し、D/A 変換を行ってアナログ階調信号を得る手段と、前記アナログ階調信号によって映像の表示を行う手段と、を有することを特徴としている。

【0 0 1 9】本発明の液晶表示装置の第 4 の特徴は、前記ソース信号線駆動回路は、デジタル映像信号をビット毎に順次入力することを特徴としている。

【0 0 2 0】本発明の液晶表示装置の第 5 の特徴は、前記ゲート信号線駆動回路は、ゲート信号線を介して、1 画素中の前記記憶回路を、1 水平期間中にビット毎に順

次駆動することを特徴としている。

【0021】本発明の液晶表示装置の第6の特徴は、前記DACコントローラには、複数の固定電位が入力され、前記複数の固定電位のうちいずれか1つもしくは複数の選択して画素に供給することを特徴としている。

【0022】本発明の液晶表示装置の第7の特徴は、前記DACコントローラは、複数のラッチ回路を有し、前記ラッチ回路に記憶された選択情報に応じて前記複数の固定電位のうちいずれか1つもしくは複数の選択することを特徴としている。

【0023】本発明の液晶表示装置の第8の特徴は、前記選択情報は、一定周期毎に書き換えられることを特徴としている。

【0024】本発明の液晶表示装置の第9の特徴は、前記記憶回路はスタティック型メモリ(SRAM)であることを特徴としている。

【0025】本発明の液晶表示装置の第10の特徴は、前記ソース信号線駆動回路と、ゲート信号線駆動回路と、DACコントローラとは画素部と同一基板上に形成されていることを特徴としている。

【0026】本発明の液晶表示装置の第11の特徴は、前記ソース信号線駆動回路、前記ゲート信号線駆動回路、または前記DACコントローラは外部回路であることを特徴としている。

【0027】本発明の液晶表示装置の第12の特徴は、静止画像の表示期間においては、前記DACコントローラのみを駆動して、前記記憶回路に記憶されたデジタル映像信号を繰り返し読み出し、D/A変換を行ってアナログ階調信号を得、前記アナログ階調信号によって映像の表示を行うことにより、前記ソース信号線駆動回路および前記ゲート信号線駆動回路を停止することを特徴としている。

【0028】本発明の液晶表示装置の第13の特徴は、静止画像の表示期間においては、前記DACコントローラのみを駆動して、前記記憶回路に記憶されたデジタル映像信号を繰り返し読み出し、D/A変換を行ってアナログ階調信号を得、前記アナログ階調信号によって映像の表示を行うことにより、前記DACコントローラを含まない外部回路を停止することを特徴としている。

【0029】本発明の液晶表示装置の第14の特徴は、前記ソース信号線駆動回路はXアドレスデコーダを有し、前記ゲート信号線駆動回路はYアドレスデコーダを有し、前記記憶回路は、表示領域内の任意の座標の画素において書き換えが可能であることを特徴としている。

【0030】本発明の液晶表示装置の第15の特徴は、前記記憶回路は、ガラス基板上に形成されていることを特徴としている。

【0031】本発明の液晶表示装置の第16の特徴は、前記記憶回路は、プラスチック基板上に形成されていることを特徴としている。

【0032】本発明の液晶表示装置の第17の特徴は、前記記憶回路は、ステンレス基板上に形成されていることを特徴としている。

【0033】本発明の液晶表示装置の第18の特徴は、前記記憶回路は、単結晶ウェハ上に形成されていることを特徴としている。

【0034】

【発明の実施の形態】本発明の実施の形態について説明する。なお、ここでは具体的に説明するために、デジタル映像信号の階調が3ビットである場合を例とするが、本発明は3ビットに限定されるわけではなく、同様の方法でnビットのデジタル映像信号への対応が可能である。

【0035】図1は、本発明の表示装置の画素部についての回路図を示している。点線枠100で囲まれた部分が1画素であり、隣接した3画素でそれぞれR、G、Bのカラーフィルタを有し、カラー画像の表示を行う。1画素は、ソース信号線101、第1のゲート信号線102、第2のゲート信号線103、第3のゲート信号線104、第1の画素TFT105、第2の画素TFT106、第3の画素TFT107、第1の記憶回路108、第2の記憶回路109、第3の記憶回路110、階調電源選択用TFT111~116、低圧側階調電源線(V<sub>L</sub>)117~119、高圧側階調電源線(V<sub>H</sub>)120~122、第1のDAC用容量123、第2のDAC用容量124、第3のDAC用容量125、画素部リセット信号線126、画素部リセット用TFT127、保持容量128、中間階調電源線(V<sub>M</sub>)129、コモン電源線130、および液晶素子(LC)を有する。各部の動作については後述する。

【0036】ここで、DAC用容量123~125をそれぞれC<sub>1,1</sub>~C<sub>1,3</sub>とすると、それらの容量比は4:2:1となっている。3ビットのデジタル映像信号によって、充電される容量が決定し、その組み合わせによって8段階の電荷が充電される。これによって、液晶素子に印加される電圧の制御が行われる。

【0037】図2は、本発明の表示装置のソース信号線駆動回路についての回路図を示している。ここでは、カラーQVGAの表示装置を例とし、水平方向画素数が960画素(320×RGB)であるとして図示している。

【0038】図示したソース信号線駆動回路は、シフトレジスタ201、NAND回路202、バッファ203、レベルシフタ204、第1のラッチ回路205、第2のラッチ回路206、画素207等を有する。

【0039】シフトレジスタ201は、図5(A)に示すような構成をしている。図5(A)中、各信号の入出力に付した番号41~51は、同図にあるブロック図の入出力ピンに付した番号41~51に対応する。ここで用いるシフトレジスタは、サンプリングパルスを順次出力するシフトレジスタ部と、差動増幅回路を用いたレベルシ

フタ部とを有している。

【0040】NAND回路202、バッファ203に関しては、一般的なものをいれれば良いので、ここでは説明を省略する。

【0041】レベルシフタ204は、外部ソースから供給されるデジタル映像信号の電圧振幅の変換を行うものである。図5(B)に示すような構成をしており、12個のレベルシフタ回路(図5(B)のブロック図中、Unitと表記)と、電流源(図5(B)のブロック図中Sup.と表記)を有している。それぞれの回路図も同時に図5(B)に示す。12本の信号線より入力されるデジタル映像信号(RGB×4相)は、それぞれのレベルシフタによって電圧振幅の変換を受け、ビデオ信号線へと出力される。

【0042】第1のラッチ回路205および第2のラッチ回路206は、図6(A)に示すような構成をしている。各信号の入出力に付した番号59～61は、同図にあるブロック図の入出力ピンに付した番号59～61に対応する。

【0043】ソース信号線駆動回路の動作について説明する。図7に、タイミングチャートを示した。701は1水平期間、702は水平帰線期間を表す。なお、回路図は前出の図2を参照する。スタートパルス(S-SP)、クロック信号(S-CLK)の入力によって、シフトレジスタ201は順次サンプリングパルスを出力する。その後、NAND回路202、バッファ203を通り、第1のラッチ回路205においてラッチ動作を行うためのパルスとなる。第1のラッチ回路205では、デジタル映像信号を、先のサンプリングパルスのタイミングに従って順次ラッチしていく。図2で示したソース信号線駆動回路は、RGB3色、ビデオ4分割であるので、1つのサンプリングパルスのタイミングで、12段の第1のラッチ回路205がラッチ動作を同時に行う。水平方向1列全てのラッチ動作が終了すると、帰線期間中にラッチパルス(S-LAT)が入力され、そのタイミングに従って、一斉に第1のラッチ回路205から第2のラッチ回路206へのデジタル映像信号が転送される。なお、図2に示したシフトレジスタ201～第2のラッチ回路206は、1水平期間内に3回、前述の動作を行い、3ビットデジタル映像信号を順次処理する。

【0044】本発明の液晶表示装置におけるソース信号線駆動回路においては、図7に示すように、ビット毎のデータを順次入力する構成となっており、ここではD2、D1、D0の順にデータの入力を行っている。このような構成とすることで、ソース信号線駆動回路のラッチ回路の数を減らすことが可能である。

【0045】図3は、本発明の表示装置のゲート信号線駆動回路についての回路図を示している。ここでは、カラーQVGAの表示装置を例とし、垂直方向画素数が240画素であるとして図示している。なお、本発明の液

晶表示装置においては、デジタル映像信号の階調が3ビットの場合、1画素あたり3本のゲート信号線を用いて制御される。よって図3においては、ゲート信号線の本数は $240 \times 3 = 720$ 本となっている。すなわち、本発明によってnビットデジタル階調を実現するには、1画素あたりn本のゲート信号線を用い、図3によるとその場合のゲート信号線の本数は $240 \times n$ 本とすれば良い。

【0046】図示したゲート信号線駆動回路は、シフトレジスタ301、NAND回路302、NOR回路を用いたマルチプレクサ303、レベルシフタ304、バッファ305等を有する。

【0047】シフトレジスタ301は、ソース信号線駆動回路の項で、図5(A)にて示した回路と同様であるので、説明を省略する。

【0048】レベルシフタ304は、図6(B)に示すような構成をしている。図6(B)中、各信号の入出力に付した番号62、63は、同図にあるブロック図の入出力ピンに付した番号62、63に対応する。

【0049】NAND回路302、バッファ305に関しては、一般的なものをいれれば良いので、ここでは説明を省略する。

【0050】次に、ゲート信号線駆動回路の動作について説明する。図8に、タイミングチャートを示した。801は1水平期間、802はDAC処理期間、803は表示期間を表す。なお、回路図は前出の図3を参照する。スタートパルス(G-SP)、クロック信号(G-CLK)の入力によって、シフトレジスタ301は順次選択パルスを出力する。その後、NAND回路302を通った後、マルチプレクサ303に入力される。マルチプレクサ303には、第1～第3のマルチプレクス信号(G-MPX1～3)が共に入力され、シフトレジスタから出力されるパルスの1/3のパルス幅を有する選択パルスを3つ順次出力する。これらはゲート信号線選択パルスとして、ゲート信号線に出力され、画素TFTのゲート電極に電圧が印加される。

【0051】図4は、本発明の表示装置のDACコントローラについての回路図を示している。図示したDACコントローラは、シフトレジスタ401、NAND回路402、NOR回路を用いたマルチプレクサ403、レベルシフタ404、階調電源選択回路(V<sub>ref</sub> Select)405等を有する。

【0052】ここで、シフトレジスタ401～レベルシフタ404までの回路は、図3を用いて説明したゲート信号線駆動回路と同様であるので、ここでは説明を省略する。

【0053】階調電源選択回路405は、図6(C)に示すような構成をしている。図6(C)中、各信号の入出力に付した番号64～68は、同図にあるブロック図の入出力ピンに付した番号64～68に対応する。



【0054】続いて、DACコントローラの動作について説明する。図8に、タイミングチャートを示した。説明に際して参照する。なお、回路図は前出の図4を参照する。シフトレジスタ401～NAND回路402までの動作は、ゲート信号線駆動回路と共通である。マルチプレクサ403には、それぞれ極性反転信号(C-POL-S)、リセット信号1(C-RES1)、リセット信号2(C-RES2)が入力され、シフトレジスタ401から出力される選択パルスとの論理和をとる。このうち、リセット信号1は、レベルシフタ404でその電圧

10 11 12 13 14 15 16 17 18 19 20 21 22 23 24 25 26 27 28 29 30 31 32 33 34 35 36 37 38 39 40 41 42 43 44 45 46 47 48 49 50

振幅の変換を受けた後、直接画素部のリセット信号線に出力される。リセット信号2および極性反転信号は、レベルシフタ404で電圧振幅の変換を受けた後、階調電源選択回路405へと入力される。

【0055】ここで、階調電源選択回路405の動作について説明する。階調電源選択回路405には、前述の2信号の他に、極性切替信号(C-POL-V)が入力される。これは、液晶素子に印加する電圧を、一定周期(通常は1フレーム期間毎)で正負の切替を行うための信号である。階調電源選択回路405に極性反転信号(C-POL-S)が入力されると、そのときの極性切替信号(C-POL-V)の状態をラッチし、以後、再び極性反転信号(C-POL-S)が入力される間での間、その状態が階調電源選択回路405内のアナログスイッチ群(図6(C)の詳細図を参照)を制御する。ここで、画素に印加される電位の正負が決定される。

【0056】高圧側階調電源線には、 $V_H$ または $V_{Hs}$ のいずれかが、低圧側階調電源線には、 $V_L$ または $V_{Ls}$ のいずれかが選択される。このとき、液晶の対向電極の電位をCOMとし、 $V_H > V_{Hs} > V_L$ であるとき、 $|V_H - V_{Hs}| \neq |V_{Hs} - V_L|$ 、 $|V_L - V_{Ls}| \neq |V_{Ls} - V_H|$ とする。

【0057】例えば、 $V_{Hs} = 0[V]$ とし、 $V_H = -V_L = 5[V]$ 、 $V_{Hs} = -V_{Ls} = -5[V]$ 、などとすると、上記の条件を満たす上、簡単で望ましい。

【0058】また、リセット信号2が入力されている間は、高圧側階調電源線( $V_H$ )には強制的に低圧側階調電源線と同電位が入力される(すなわち、図1において、 $V_H = V_L$ )ようになっており、後述する画素部の記憶回路への書き込み動作が3ビット分終了するまでの間は、DAC用容量に電荷が蓄積されないようにしている。

【0059】続いて、画素内での信号の処理から表示までの動作について説明する。説明に際して前出の図1を参照する。ソース信号線101からは、3ビットデジタル映像信号が、ビット毎に順次入力されてくる。このデジタル映像信号は、1画素あたり3本配置されているゲート信号線102～104が、1水平期間内に順次選択されることにより、各記憶回路へと書き込まれる。

【0060】まず、リセット信号1(C-RES1)が入力されて、画素部リセット用TFT127が導通し、対

向電極の電位を $V_s$ に初期化する。次に、リセット信号2(C-RES2)が入力されて、DAC用容量123～125に電荷が蓄積されない状態に固定される。

【0061】次に、1水平期間は3つのサブ期間に分割され、最初のサブ期間では、第1のマルチプレクス信号(G-MPX1)のタイミングで第1のゲート信号線102が選択されて、第1の画素TFT105が導通し、最上位ビットのデジタル映像信号(D2)が、記憶回路108に書き込まれる。続いて、第2のマルチプレクス信号(G-MPX2)のタイミングで第2のゲート信号線103が選択されて、第2の画素TFT106が導通し、第2ビットのデジタル映像信号(D1)が、記憶回路109に書き込まれる。最後に、第3のマルチプレクス信号(G-MPX3)のタイミングで第3のゲート信号線104が選択されて、第3の画素TFT107が導通し、最下位ビットのデジタル映像信号(D0)が、記憶回路110に書き込まれる。

【0062】各記憶回路108～110に記憶されたデジタル映像信号に従って、階調電源選択用TFT111～116によって各ビットで階調電源線が選択される。このとき、リセット信号2(C-RES2)のパルスが停止して、DAC用容量123～125に電荷が蓄積され、液晶素子を駆動して映像の表示を行う。

【0063】本発明の液晶表示装置を、nビットのデジタル映像信号に対応させるには、1水平期間をn分割して同様の処理を行えば良い。以後は、順次ビット毎に記憶回路への信号の書き込みを行うことが出来る。

【0064】静止画を表示する場合には、ソース信号線駆動回路およびゲート信号線駆動回路を停止し、DACコントローラのみを動作させる。このとき、記憶回路に記憶されたデジタル映像信号をフレーム毎に読み出すことにより、継続的に静止画表示を行うことが出来る。したがって、従来の表示装置に比較して、駆動回路の消費電力を大幅に低減することが可能となる。

【0065】なお、本実施形態においては、D/A変換回路は複数の容量を用いた容量型D/A変換回路を用いているが、他にも抵抗分割によって複数の電位を与える抵抗型D/A変換回路等を用いても良い。

【0066】

【実施例】以下に本発明の実施例について記述する。

【0067】[実施例1]図12は、本発明の液晶表示装置の全体概略図である。基板1201の中央部には画素部1205を有し、端部には信号入力用のFPC1206を有する。画素部1205の下側には、デジタル映像信号を処理し、ソース信号線に書き込みを行うための、ソース信号線駆動回路1202が配置されている。画素部1205の左右には、ゲート信号線を選択するための、ゲート信号線駆動回路1203および、画素部に配置されたD/A変換回路を制御するためのDACコントローラ1204が配置されている。液晶表示装置の駆動

の信頼性および効率等を考慮すると、図 14(A)に示したように、駆動回路を画素部の両側に対向配置することが望ましいが、本例のような片側配置でも良い。また、図 12 に示した回路構成で、両側配置とするには、ゲート信号線駆動回路 1203 と DAC コントローラ 1204 とを一体の回路で作成する方法が挙げられる。本発明の実施形態にて示した駆動回路の動作によると、ゲート信号線駆動回路 1203 と DAC コントローラ 1204 とは、同一周波数のクロック信号によって駆動するため、前述のように回路を一体形成することは容易であり、有効な手段であるといえる。

【0068】図 9 は、本発明の液晶表示装置のアクティブマトリクス基板における画素部の回路レイアウトの例を示している。図 9 では、対向基板側に配置されている対向電極および、画素電極等は省略している。なお、図に付した番号は、図 1 に示した回路図に付した番号と同様である。

【0069】点線枠 100 で囲まれた部分が 1 画素である。点線枠 108 ~ 110 で囲まれた部分が、デジタル映像信号をビット毎に記憶する記憶回路であり、本実施例に示した図においては、インバータをループ状に接続した一般的な SRAM である。このように、本発明の液晶表示装置においては、画素部の回路構成には通常よりも多くの素子を要するため、開口率を確保するのが困難である。よって本発明の液晶表示装置としては、画素部の構成は反射型を採用するのが望ましい。ただし、回路の微細加工等によって、各部の省スペース化が可能であれば、透過型の液晶表示装置へは容易に適用が可能である。

【0070】[実施例 2] 本実施例では、本発明の表示装置の画素部とその周辺に設けられる駆動回路部(ソース信号線側駆動回路、ゲート信号線側駆動回路)の TFT を同時に作製する方法について説明する。但し、説明を簡単にするために、駆動回路部に関しては基本単位である CMOS 回路を図示することとする。

【0071】図 16(A)を参照する。まず、本実施例ではコーニング社の #7059 ガラスや #1737 ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスからなる基板 5001 を用いる。なお、基板 5001 としては、透光性を有する基板であれば限定されず、石英基板を用いても良い。また、本実施例の処理温度に耐えうる耐熱性を有するプラスチック基板を用いてもよい。

【0072】次いで、基板 5001 上に酸化珪素膜、窒化珪素膜または酸化窒化珪素膜などの絶縁膜から成る下地膜 5002 を形成する。本実施例では下地膜 5002 として 2 層構造を用いるが、前記絶縁膜の単層膜または 2 層以上積層させた構造を用いても良い。下地膜 5002 の 1 層目としては、プラズマ CVD 法を用い、 $\text{SiH}_4$ 、 $\text{NH}_3$ 、及び  $\text{N}_2\text{O}$  を反応ガスとして成膜される酸化

窒化珪素膜 5001a を 10 ~ 200 [nm] (好ましくは 50 ~ 100 [nm]) 形成する。本実施例では、膜厚 50 [nm] の酸化窒化珪素膜 5002a (組成比  $\text{Si} = 32$  [%]、 $\text{O} = 27$  [%]、 $\text{N} = 24$  [%]、 $\text{H} = 17$  [%]) を形成した。次いで、下地膜 5002 の 2 層目としては、プラズマ CVD 法を用い、 $\text{SiH}_4$ 、及び  $\text{N}_2\text{O}$  を反応ガスとして成膜される酸化窒化珪素膜 5002b を 50 ~ 200 [nm] (好ましくは 100 ~ 150 [nm]) の厚さに積層形成する。本実施例では、膜厚 100 [nm] の酸化窒化珪素膜 5002b (組成比  $\text{Si} = 32$  [%]、 $\text{O} = 59$  [%]、 $\text{N} = 7$  [%]、 $\text{H} = 2$  [%]) を形成した。

【0073】次いで、下地膜上に半導体層 5003 ~ 5006 を形成する。半導体層 5003 ~ 5006 は、非晶質構造を有する半導体膜を公知の手段(スパッタ法、LPCVD 法、またはプラズマ CVD 法等)により成膜した後、公知の結晶化処理(レーザー結晶化法、熱結晶化法、またはニッケルなどの触媒を用いた熱結晶化法等)を行って得られた結晶質半導体膜を所望の形状にパターニングして形成する。この半導体層 5003 ~ 5006 は、25 ~ 80 [nm] (好ましくは 30 ~ 60 [nm]) の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくは珪素(シリコン)またはシリコンゲルマニウム( $\text{Si}_x\text{Ge}_{1-x}$  ( $x = 0.0001 \sim 0.02$ ))合金などで形成すると良い。本実施例では、プラズマ CVD 法を用い、55 [nm] の非晶質珪素膜を成膜した後、ニッケルを含む溶液を非晶質珪素膜上に保持させた。この非晶質珪素膜に脱水素化(500 [°C]、1 時間)を行った後、熱結晶化(550 [°C]、4 時間)を行い、さらに結晶化を改善するためのレーザーアニール処理を行って結晶質珪素膜を形成した。そして、この結晶質珪素膜から、フォトリソグラフィ法を用いたパターニング処理によって、半導体層 5003 ~ 5006 を形成した。

【0074】また、半導体層 5003 ~ 5006 を形成した後、TFT のしきい値を制御するために微量な不純物元素(ボロンまたはリン)のドーピングを行ってもよい。

【0075】また、レーザー結晶化法で結晶質半導体膜を作製する場合には、パルス発振型または連続発光型のエキシマレーザーや YAG レーザー、YVO<sub>4</sub> レーザーを用いることができる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数 30 [Hz] とし、レーザーエネルギー密度を 100 ~ 400 [mJ/cm<sup>2</sup>] (代表的には 200 ~ 300 [mJ/cm<sup>2</sup>]) とする。また、YAG レーザーを用いる場合にはその第 2 高調波を用いパルス発振周波数 1 ~ 10 kHz とし、レーザーエネルギー密度を 300 ~ 600 [mJ/cm<sup>2</sup>] (代表的には 350 ~ 500 [mJ/cm<sup>2</sup>]) とすると良い。そして

幅 100~1000 [ $\mu\text{m}$ ]、例えば 400 [ $\mu\text{m}$ ] で線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率(オーバーラップ率)を 50~90 [%] として行えばよい。

【0076】次いで、半導体層 5003~5006 を覆うゲート絶縁膜 5007 を形成する。ゲート絶縁膜 5007 はプラズマ CVD 法またはスパッタ法を用い、厚さを 40~150 [nm] として珪素を含む絶縁膜で形成する。本実施例では、プラズマ CVD 法により 110 [nm] の厚さで酸化窒化珪素膜(組成比 Si=32 [%]、O=59 [%]、N=7 [%]、H=2 [%])で形成した。勿論、ゲート絶縁膜 5007 は酸化窒化珪素膜に限定されるものでなく、他の珪素を含む絶縁膜を単層または積層構造として用いても良い。

【0077】また、酸化珪素膜を用いる場合には、プラズマ CVD 法で TEOS (Tetraethyl Orthosilicate) と  $\text{O}_2$  とを混合し、反応圧力 40 [Pa]、基板温度 300~400 [ $^{\circ}\text{C}$ ] とし、高周波(13.56 [MHz])電力密度 0.5~0.8 [W/ $\text{cm}^2$ ] で放電させて形成することができる。このようにして作製される酸化珪素膜は、その後 400~500 [ $^{\circ}\text{C}$ ] の熱アニールによりゲート絶縁膜として良好な特性を得ることができる。

【0078】次いで、ゲート絶縁膜 5007 上に膜厚 20~100 [nm] の第 1 の導電膜 5008 と、膜厚 100~400 [nm] の第 2 の導電膜 5009 とを積層形成する。本実施例では、膜厚 30 [nm] の TaN 膜からなる第 1 の導電膜 5007 と、膜厚 370 [nm] の W 膜からなる第 2 の導電膜 5008 を積層形成した。TaN 膜はスパッタ法で形成し、Ta のターゲットを用い、窒素を含む雰囲気内でスパッタした。また、W 膜は、W のターゲットを用いたスパッタ法で形成した。その他に 6 フッ化タングステン ( $\text{WF}_6$ ) を用いる熱 CVD 法で形成することもできる。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W 膜の抵抗率は 20 [ $\mu\Omega\text{cm}$ ] 以下にすることが望ましい。W 膜は結晶粒を大きくすることで低抵抗率化を図ることができるが、W 膜中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。従って本実施例では、高純度の W (純度 99.9999 [%]) のターゲットを用いたスパッタ法で、さらに成膜時に気相からの不純物の混入がないように十分配慮して W 膜を形成することにより、抵抗率 9~20 [ $\mu\Omega\text{cm}$ ] を実現することができた。

【0079】なお、本実施例では、第 1 の導電膜 5008 を TaN、第 2 の導電膜 5009 を W としたが、特に限定されず、いずれも Ta、W、Ti、Mo、Al、Cu、Cr、Nd から選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶珪素膜に代表される半導体膜を用いてもよい。また、Ag、Pd、Cu からなる合金を用いてもよい。また、第

1 の導電膜を Ta 膜で形成し、第 2 の導電膜を W 膜とする組み合わせ、第 1 の導電膜を TiN 膜で形成し、第 2 の導電膜を W 膜とする組み合わせ、第 1 の導電膜を窒化タンタル (Ta<sub>2</sub>N<sub>5</sub>) 膜で形成し、第 2 の導電膜を Al 膜とする組み合わせ、第 1 の導電膜を TaN 膜で形成し、第 2 の導電膜を Cu 膜とする組み合わせとしてもよい。

【0080】次に、図 16 (B) に示すようにフォトリソグラフィ法を用いてレジストからなるマスク 5010 を形成し、電極及び配線を形成するための第 1 のエッチング処理を行う。第 1 のエッチング処理では第 1 及び第 2 のエッチング条件で行う。本実施例では第 1 のエッチング条件として、ICP (Inductively Coupled Plasma: 誘導結合型プラズマ) エッチング法を用い、エッチング用ガスに  $\text{CF}_4$  と  $\text{Cl}_2$  と  $\text{O}_2$  とを用い、それぞれのガス流量比を 25/25/10 [sccm] とし、1 [Pa] の圧力でコイル型の電極に 500 [W] の RF (13.56 [MHz]) 電力を投入してプラズマを生成してエッチングを行った。ここでは、松下電器産業(株)製の ICP を用いたドライエッチング装置 (Model E645-□ ICP) を用いた。基板側(試料ステージ)にも 150 [W] の RF (13.56 [MHz]) 電力を投入し、実質的に負の自己バイアス電圧を印加する。この第 1 のエッチング条件により W 膜をエッチングして第 1 の導電層の端部をテーパ形状とする。第 1 のエッチング条件での W に対するエッチング速度は 200.39 [nm/min.]、TaN に対するエッチング速度は 80.32 [nm/min.] であり、TaN に対する W の選択比は約 2.5 である。また、この第 1 のエッチング条件によって、W のテーパ角は、約 26 $^{\circ}$  となる。

【0081】この後、図 16 (B) に示すようにレジストからなるマスク 5010 を除去せずに第 2 のエッチング条件に変え、エッチング用ガスに  $\text{CF}_4$  と  $\text{Cl}_2$  とを用い、それぞれのガス流量比を 30/30 [sccm] とし、1 [Pa] の圧力でコイル型の電極に 500 [W] の RF (13.56 [MHz]) 電力を投入してプラズマを生成して約 30 秒程度のエッチングを行った。基板側(試料ステージ)にも 20 [W] の RF (13.56 [MHz]) 電力を投入し、実質的に負の自己バイアス電圧を印加する。 $\text{CF}_4$  と  $\text{Cl}_2$  を混合した第 2 のエッチング条件では W 膜及び TaN 膜とも同程度にエッチングされる。第 2 のエッチング条件での W に対するエッチング速度は 58.97 [nm/min.]、TaN に対するエッチング速度は 66.43 [nm/min.] である。なお、ゲート絶縁膜上に残渣を残すことなくエッチングするためには、10~20 [%] 程度の割合でエッチング時間を増加させると良い。

【0082】上記第 1 のエッチング処理では、レジストからなるマスクの形状を適したものとすることにより、基板側に印加するバイアス電圧の効果により第 1 の導電層及び第 2 の導電層の端部がテーパ形状となる。このテーパ一部の角度は 15~45 $^{\circ}$  とすればよい。こうし

て、第1のエッチング処理により第1の導電層と第2の導電層から成る第1の形状の導電層5011~5015(第1の導電層5011a~5015aと第2の導電層5011b~5015b)を形成する。ゲート絶縁膜5007においては、第1の形状の導電層5011~5015で覆われない領域は20~50[nm]程度エッチングされ薄くなった領域が形成される。

【0083】そして、レジストからなるマスクを除去せずに第1のドーピング処理を行い、半導体層にn型を付与する不純物元素を添加する(図5(B))。ドーピング処理はイオンドーピング法、若しくはイオン注入法で行えば良い。イオンドーピング法の条件はドーズ量を $1 \times 10^{13} \sim 5 \times 10^{15}$  [atoms/cm<sup>2</sup>]とし、加速電圧を60~100 [keV]として行う。本実施例ではドーズ量を $1.5 \times 10^{15}$  [atoms/cm<sup>2</sup>]とし、加速電圧を80 [keV]として行った。n型を付与する不純物元素として15族に属する元素、典型的にはリン(P)または砒素(As)を用いるが、ここではリン(P)を用いた。この場合、第1の形状の導電層5011~5015がn型を付与する不純物元素に対するマスクとなり、自己整合的に高濃度不純物領域5016~5019が形成される。高濃度不純物領域5016~5019には $1 \times 10^{19} \sim 1 \times 10^{21}$  [atoms/cm<sup>3</sup>]の濃度範囲でn型を付与する不純物元素を添加する。

【0084】次いで、図16(C)に示すようにレジストからなるマスクを除去せずに第2のエッチング処理を行う。ここでは、エッチング用ガスにCF<sub>4</sub>とC<sub>2</sub>F<sub>6</sub>とO<sub>2</sub>とを用い、それぞれのガス流量比を20/20/20[sccm]とし、1 [Pa]の圧力でコイル型の電極に500 [W]のRF(13.56 [MHz])電力を投入してプラズマを生成してエッチングを行った。基板側(試料ステージ)にも20 [W]のRF(13.56 [MHz])電力を投入し、実質的に負の自己バイアス電圧を印加する。第2のエッチング処理でのWに対するエッチング速度は124.62 [nm/min.]、Ta<sub>2</sub>Nに対するエッチング速度は20.67 [nm/min.]であり、Ta<sub>2</sub>Nに対するWの選択比は6.05である。従って、W膜が選択的にエッチングされる。この第2のエッチングによりWのテーパー角は70°となった。この第2のエッチング処理により第2の導電層5020b~5024bを形成する。一方、第1の導電層5011a~5015aは、ほとんどエッチングされず、第1の導電層5020a~5024aを形成する。

【0085】次いで、第2のドーピング処理を行う。ドーピングは第2の導電層5020b~5024bを不純物元素に対するマスクとして用い、第1の導電層のテーパー部下方の半導体層に不純物元素が添加されるようにドーピングする。本実施例では、不純物元素としてP(リン)を用い、ドーズ量 $1.5 \times 10^{14}$  [atoms/cm<sup>2</sup>]、電流密度0.5 [μA]、加速電圧90 [keV]にてプラズマドーピングを行った。こうして、第1の導電層と重なる

低濃度不純物領域5025~5028を自己整合的に形成する。この低濃度不純物領域5025~5028へ添加されたリン(P)の濃度は、 $1 \times 10^{17} \sim 5 \times 10^{18}$  [atoms/cm<sup>3</sup>]であり、且つ、第1の導電層のテーパー部の膜厚に従って緩やかな濃度勾配を有している。なお、第1の導電層のテーパー部と重なる半導体層において、第1の導電層のテーパー部の端部から内側に向かって若干、不純物濃度が低くなっているものの、ほぼ同程度の濃度である。また、高濃度不純物領域5016~5019にも不純物元素が添加される(図17(A))。

【0086】次いで、図17(B)に示すようにレジストからなるマスクを除去してからフォトリソグラフィ法を用いて、第3のエッチング処理を行う。この第3のエッチング処理では第1の導電層のテーパー部を部分的にエッチングして、第2の導電層と重なる形状にするために行われる。ただし、第3のエッチングを行わない領域には、レジスト5029からなるマスクを形成する。

【0087】第3のエッチング処理におけるエッチング条件は、エッチングガスとしてC<sub>2</sub>F<sub>6</sub>とSF<sub>6</sub>とを用い、それぞれのガス流量比を10/50[sccm]として第1及び第2のエッチングと同様にICPエッチング法を用いて行う。なお、第3のエッチング処理でのTa<sub>2</sub>Nに対するエッチング速度は、111.2 [nm/min.]であり、ゲート絶縁膜に対するエッチング速度は、12.8 [nm/min.]である。

【0088】本実施例では、1.3 [Pa]の圧力でコイル型の電極に500 [W]のRF(13.56 [MHz])電力を投入してプラズマを生成してエッチングを行った。基板側(試料ステージ)にも10 [W]のRF(13.56 [MHz])電力を投入し、実質的に負の自己バイアス電圧を印加する。以上により、第1の導電層5030a~5032aが形成される。

【0089】上記第3のエッチングによって、第1の導電層5030a~5032aと重ならない不純物領域(LDD領域)5033~5034が形成される。なお、不純物領域(GOLD領域)5025、5028は、第1の導電層5020a、5024aとそれぞれ重なったままである。

【0090】このようにして、本実施例は、第1の導電層と重ならない不純物領域(LDD領域)5033~5034と、第1の導電層と重なる不純物領域(GOLD領域)5025、5028を同時に形成することができ、TFT特性に応じた作り分けが可能となる。

【0091】次いで、レジストからなるマスクを除去した後、ゲート絶縁膜5007をエッチング処理する。ここでのエッチング処理は、エッチングガスにCHF<sub>3</sub>を用い、反応性イオンエッチング法(RIE法)を用いて行う。本実施例では、チャンバー圧力6.7 [Pa]、RF電力800 [W]、CHF<sub>3</sub>ガス流量35 [sccm]で第3のエッチング処理を行った。これにより、高濃度不純物領域

5016~5019の一部は露呈し、ゲート絶縁膜5007a~5007dが形成される。

【0092】次に、新たにレジストからなるマスク5035を形成して第3のドーピング処理を行う。この第3のドーピング処理により、pチャネル型TFTの活性層となる半導体層に前記第1の導電型(n型)とは逆の第2の導電型(p型)を付与する不純物元素が添加された不純物領域5036を形成する(図17(C))。第1の導電層5030aを不純物元素に対するマスクとして用い、p型を付与する不純物元素を添加して自己整合的に不純物領域を形成する。

【0093】本実施例では、不純物領域5036はジボラン( $B_2H_6$ )を用いたイオンドープ法で形成する。なお、この第3のドーピング処理の際には、nチャネル型TFTを形成する半導体層はレジストからなるマスク5035で覆われている。第1のドーピング処理及び第2のドーピング処理によって、不純物領域5036にはそれぞれ異なる濃度でリンが添加されているが、そのいずれの領域においてもp型を付与する不純物元素の濃度が $2 \times 10^{19} \sim 2 \times 10^{21}$  [atoms/cm<sup>3</sup>]となるようにドーピング処理することにより、pチャネル型TFTのソース領域およびドレイン領域として機能するために何ら問題は生じない。

【0094】以上までの工程でそれぞれの半導体層に不純物領域が形成される。なお、本実施例では、ゲート絶縁膜をエッチングした後で不純物(B)のドーピングを行う方法を示したが、ゲート絶縁膜をエッチングしないで不純物のドーピングを行っても良い。

【0095】次いで、レジストからなるマスク5035を除去して図18(A)に示すように第1の層間絶縁膜5037を形成する。この第1の層間絶縁膜5037としては、プラズマCVD法またはスパッタ法を用い、厚さを100~200[nm]として珪素を含む絶縁膜で形成する。本実施例では、プラズマCVD法により膜厚150[nm]の酸化窒化珪素膜を形成した。勿論、第1の層間絶縁膜5037は酸化窒化珪素膜に限定されるものでなく、他の珪素を含む絶縁膜を単層または積層構造として用いても良い。

【0096】次いで、それぞれの半導体層に添加された不純物元素を活性化処理する工程を行う。この活性化工程はファーネスアニール炉を用いる熱アニール法で行う。熱アニール法としては、酸素濃度が1[ppm]以下、好ましくは0.1[ppm]以下の窒素雰囲気中で400~700[°C]、代表的には500~550[°C]で行えばよく、本実施例では550[°C]、4時間の熱処理で活性化処理を行った。なお、熱アニール法の他に、レーザーアニール法、またはラピッドサーマルアニール法(RTA法)を適用することができる。

【0097】なお、本実施例では、上記活性化処理と同時に、結晶化の際に触媒として使用したNiが高濃度の

Pを含む不純物領域にゲッタリングされ、主にチャネル形成領域となる半導体層中のニッケル濃度が低減される。このようにして作製したチャネル形成領域を有するTFTはオフ電流値が下がり、結晶性が良いことから高い電界効果移動度が得られ、良好な特性を達成することができる。

【0098】また、第1の層間絶縁膜5037を形成する前に活性化処理を行っても良い。ただし、用いた配線材料が熱に弱い場合には、本実施例のように配線等を保護するため層間絶縁膜5037(シリコンを主成分とする絶縁膜、例えば窒化珪素膜)を形成した後で活性化処理を行うことが好ましい。

【0099】その他、活性化処理を行った後でドーピング処理を行い、第1の層間絶縁膜5037を形成させても良い。

【0100】さらに、3~100[%]の水素を含む雰囲気中で、300~550[°C]で1~12時間の熱処理を行い、半導体層を水素化する工程を行う。本実施例では水素を約3[%]の含む窒素雰囲気中で410[°C]、1時間の熱処理を行った。この工程は層間絶縁膜5037に含まれる水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。

【0101】また、活性化処理としてレーザーアニール法を用いる場合には、上記水素化を行った後、エキシマレーザーやYAGレーザー等のレーザー光を照射することが望ましい。

【0102】次いで、図18(B)に示すように第1の層間絶縁膜5037上に有機絶縁物材料から成る第2の層間絶縁膜5038を形成する。本実施例では膜厚1.6[μm]のアクリル樹脂膜を形成した。次いで、各不純物領域5016、5018、5019、5036に達するコンタクトホールを形成するためのパターニングを行う。

【0103】第2の層間絶縁膜5038としては、珪素を含む絶縁材料や有機樹脂からなる膜を用いる。珪素を含む絶縁材料としては、酸化珪素、窒化珪素、酸化窒化珪素を用いることができ、また有機樹脂としては、ポリイミド、ポリアミド、アクリル、BCB(ベンゾシクロブテン)などを用いることができる。

【0104】本実施例では、プラズマCVD法により形成された酸化窒化珪素膜を形成した。なお、酸化窒化珪素膜の膜厚として好ましくは1~5[μm](さらに好ましくは2~4[μm])とすればよい。酸化窒化珪素膜は、膜自身に含まれる水分が少ないためにEL素子の劣化を抑える上で有効である。また、コンタクトホールの形成には、ドライエッチングまたはウェットエッチングを用いることができるが、エッチング時における静電破壊の問題を考えると、ウェットエッチング法を用いるのが望ま

しい。

【0105】さらに、ここでのコンタクトホール形成において、第1層間絶縁膜5037及び第2層間絶縁膜5038を同時にエッチングするため、コンタクトホールの形状を考えると第2層間絶縁膜5038を形成する材料は、第1層間絶縁膜5037を形成する材料よりもエッチング速度の速いものを用いるのが好ましい。

【0106】そして、各不純物領域5016、5018、5019、5036とそれぞれ電氣的に接続する配線5039～5044を形成する。ここでは、膜厚5010 [nm]のTi膜と、膜厚500 [nm]の合金膜(A1とTiとの合金膜)との積層膜をパターニングして形成するが、他の導電膜を用いても良い。

【0107】以上のようにして、nチャネル型TFT、pチャネル型TFTを有する駆動回路と、画素TFT、保持容量を有する画素部とを、同一基板上に形成することが出来る。本明細書中では、このような基板をアクティブマトリクス基板と表記する。

【0108】また、保持容量については、ゲート導電膜の形成前に、必要部分に選択的に不純物のドーピングを行い、容量を形成しても良い。この方法によると、フォトリソスト用のマスクが1枚増えることになるが、バイアスをかけることなく保持容量を形成することが出来る。

【0109】続いて、第3の層間絶縁膜5045を形成する。この工程においては、続く画素電極の形成のためにも、TFTを形成している面の平坦化を行うためのものでもある。よって、平坦性に優れた、アクリル等の樹脂膜からなる絶縁膜で形成するのが望ましい。次いで、その上にMgAg膜を形成し、パターニングすることによって、画素電極(反射電極)5046を形成する(図18(C))。

【0110】一方、対向基板5047を用意する。図19(A)に示すように、対向基板5047にはカラーフィルタ層5048～5050、オーバーコート層5051を形成する。カラーフィルタ層は、TFTの上方で、異なる色のカラーフィルタ5048、5049を重ねて形成し、遮光膜を兼ねる構成とする。なお、各色のカラーフィルタ層は、樹脂に顔料を混合したものを用い、1～3[μm]の厚さで形成する。これには感光性の材料を用い、マスクを用いて所定のパターンに形成することが出来る。同時に、このカラーフィルタ層を利用して、スペーサを形成する(図示せず)。これは、カラーフィルタを重ねて形成することによって形成すれば良い。スペーサの高さは、オーバーコート層5051の厚さ1～4[μm]を考慮することにより、2～7[μm]、好ましくは4～6[μm]とすることが出来る。この高さにより、アクティブマトリクス基板と対向基板とを貼り合わせた際のギャップを形成する。オーバーコート層5051は、光硬化型または熱硬化型の有機樹脂材料で形成し、例えば、

ポリイミドやアクリル樹脂等を用いれば良い。

【0111】オーバーコート層5051を形成した後、透明導電膜でなる対向電極5052をパターニング形成する。その後、アクティブマトリクス基板、対向基板ともに、配向膜5053を形成し、ラビング処理を行う。

【0112】その後、アクティブマトリクス基板と対向基板とを、シール剤5055で貼り合わせる。シール剤5055にはフィラーが混入されており、このフィラーとスペーサによって、2枚の基板が均一な間隔をもって貼り合わせられる。続いて、両基板の間に液晶材料5054を注入し、封止剤(図示せず)によって完全に封止する。液晶材料5054としては、公知の液晶材料を用いれば良い。以上のようにして、図19(A)に示すようなアクティブマトリクス型液晶表示装置が完成する。

【0113】なお、上記の工程により作成されるアクティブマトリクス型液晶表示装置におけるTFTはトップゲート構造をとっているが、ボトムゲート構造のTFTや、その他の構造のTFTに関しても、本実施例は容易に適用され得る。

【0114】また、本実施例においてはガラス基板を使用しているが、ガラス基板に限らず、プラスチック基板、ステンレス基板、単結晶ウェハ等、ガラス基板以外のものを使用する場合にも実施が可能である。

【0115】[実施例3]実施形態にて示した、本発明の液晶表示装置においては、その画素部に配置されたD/A変換回路には、容量型のD/A変換回路(C-DAC)を採用していた。しかし、D/A変換回路として、他の型式のものを用いても、本発明は容易に実施が可能である。本実施例においては、実施形態とは異なる型式のD/A変換回路を用いて画素部を構成する例について述べる。

【0116】図10(A)に一例を示す。図10(A)に示した画素の回路図は、実施形態に示したものと同様、3ビットデジタル映像信号に対応したものであり、点線枠1000で囲まれた部分が1画素である。画素部には、8本の階調電源線が配置されており、それぞれの階調電源線は、V0、V1、・・・、V7と8段階の電位が供給される。記憶回路で記憶されている3ビットデジタル映像信号は、デコーダ1001に入力される。デコーダ1001は、図10(B)に示すように、3入力NAND回路を8(2<sup>3</sup>)個用いて構成される。ブロック図の入出力ピンに付した番号と、回路図の入出力に付した番号とが対応する。デコーダに3ビットデジタル映像信号が入力されると、77～84のいずれか1本から出力が得られる。この出力パルスは、スイッチ1002に入力され、図10(C)に示すように、8本の階調電源線のいずれか1本を選択して、選択された階調電源線の電位を液晶素子に印加する。なお、反転駆動を行うには、一定周期(例えば1フレーム周期)ごとに電位の正負の逆転をすれば良い。この構成のD/A変換回路を用いて階調表現



を行う場合には、 $n$ ビットの階調に対して $2^n$ 本の階調電源線を必要とする。

【0117】同様に、デコーダを用いたD/A変換回路を有する画素のさらなる一例を図11(A)に示す。前述の3入力NAND回路を用いて構成するD/A変換回路に対し、図11(A)に示した画素においては、図11(B)に示すようにD/A変換回路およびスイッチ回路を一体の構成とし、素子数低減をはかっている。それぞれの階調電源線からは3直列のTFTを経由して液晶素子に電位を印加する。

【0118】図10、11にて示した画素の有するD/A変換回路において、電位出力部におけるスイッチとして単体TFTを用いて説明したが、アナログスイッチ、トランスマッションゲート等を用いて動作の安定化をはかっても良い。

【0119】[実施例4]本発明の液晶表示装置は、ソース信号線駆動回路およびゲート信号線駆動回路にデコーダを搭載することによって、さらなる低消費電力化をはかることが出来る。以下に一例を示す。

【0120】図13(A)は、本発明の液晶表示装置において、ソース信号線およびゲート信号線にデコーダを搭載したものの全体概略図である。基板1301の中央に画素部1305が配置されている。画素部の上側には、ソース信号線を制御するための、ソース信号線駆動回路&Xアドレスデコーダ1302が配置されている。画素部の左右にはそれぞれ、ゲート信号線を制御するための、ゲート信号線駆動回路&Yアドレスデコーダ1303およびDACコントローラ1304が配置されている。デコーダ部の回路図を、図13(B)に示す。アドレス信号線1311、NAND回路1312、レベルシフタ1313、バッファ1314等を有する。アドレス信号が $n$ ビットである場合、 $n$ 入力NAND回路を用いる。このようなデコーダをソース信号線側およびゲート信号線側に用いることで、画素部1305における表示領域の任意の座標選択が可能となる。すなわち、画面の一部分のみを書き換えたい場合には、デコーダを用いてその部分のみを選択し、その画素の記憶回路へ書き込みを行えば良い。映像信号の更新が行われない部分は、引き続き記憶回路に記憶された映像信号に基づいて、静止画像の表示が行われる。

【0121】なお、ソース信号線側、ゲート信号線側ともに、図13(B)に示すようなデコーダを用いて良いが、これはあくまで回路構成の一例であり、デコーダの形式は限定しない。

【0122】[実施例5]図20に、本発明の液晶表示装置を携帯情報端末に応用した例を示す。図20において、2001はペン入力タブレット、2002は検出回路、2003はメモリーカード、2004は電源、2005は外部インターフェイスポート、2006はCPU、2007は映像信号処理回路、2008はタブレッ

トインターフェイス、2009はフラッシュメモリ、2010はDRAM、2011はVRAM、2012はLCDコントローラ、2013は液晶表示装置、2014は画素部、2015はゲート信号線駆動回路、2016はソース信号線駆動回路、2017はDACコントローラである。本実施例では、静止画像を表示する場合には、CPU2006の映像信号処理回路2007、VRAM2011などの機能を停止させ、低消費電力化をはかることが出来る。図20において、点線枠で囲まれた部分の回路のみ、静止画像の表示中に動作を行う。また、LCDコントローラ2012は、COGによって液晶表示装置2013に装着しても良いし、液晶表示装置と同時に基板上に一体形成しても良い。

【0123】また、図21に本発明の液晶表示装置を携帯電話に応用した例を示す。図21において、2101はキーボード、2102は音声処理回路、2103はメモリーカード、2104は電源、2105は外部インターフェイスポート、2106はCPU、2107は映像信号処理回路、2108はキーボードインターフェイス、2109はフラッシュメモリ、2110はDRAM、2111はVRAM、2112はLCDコントローラ、2113は液晶表示装置、2114は画素部、2115はゲート信号線駆動回路、2116はソース信号線駆動回路、2117はDACコントローラ、2118は送受信回路、2119はマイク、2120はスピーカである。前述の携帯情報端末と同様、静止画像の表示中は一部の回路の動作を停止させることが出来るため、低消費電力化をはかることが出来る。

【0124】[実施例6]本発明の液晶表示装置には様々な用途がある。本実施例では、本発明の液晶表示装置を組み込んだ電子機器の応用例について説明する。

【0125】このような電子機器には、携帯情報端末(電子手帳、モバイルコンピュータ、携帯電話等)、ビデオカメラ、デジタルカメラ、パーソナルコンピュータ、テレビ、プロジェクタ装置等が挙げられる。それらの一例を22および図23に示す。

【0126】図22(A)は液晶ディスプレイ(LCD)であり、筐体3301、支持台3302、表示部3303等を含む。本発明の液晶表示装置は表示部3303にて用いることが出来る。

【0127】図22(B)はビデオカメラであり、本体3311、表示部3312、音声入力部3313、操作スイッチ3314、バッテリー3315、受像部3316等を含む。本発明の液晶表示装置は表示部3312にて用いることが出来る。

【0128】図22(C)はパーソナルコンピュータであり、本体3321、筐体3322、表示部3323、キーボード3324等を含む。本発明の液晶表示装置は表示部3323にて用いることが出来る。

【0129】図22(D)は携帯情報端末であり、本体3

10

20

30

40

50

331、スタイラス3332、表示部3333、操作ボタン3334、外部インターフェイス3335等を含む。本発明の液晶表示装置は表示部3333にて用いることが出来る。

【0130】図23(A)は携帯電話であり、本体3401、音声出力部3402、音声入力部3403、表示部3404、操作スイッチ3405、アンテナ3406を含む。本発明の液晶表示装置は表示部3404にて用いることが出来る。

【0131】図23(B)は音響再生装置、具体的にはカーオーディオであり、本体3411、表示部3412、操作スイッチ3413、3414を含む。本発明の液晶表示装置は表示部3412にて用いることが出来る。また、本実施例では車載用オーディオを示すが、携帯型もしくは家庭用の音響再生装置に用いても良い。

【0132】図23(C)はデジタルカメラであり、本体3501、表示部(A)3502、接眼部3503、操作スイッチ3504、表示部(B)3505、バッテリー3506を含む。本発明の液晶表示装置は、表示部(A)3502、表示部(B)3505にて用いることが出来る。

【0133】以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。また、本実施例の電子機器は実施例1～実施例5に示したいずれの構成を適用しても良い。

【発明の効果】本発明の液晶表示装置においては、各画素に配置された記憶回路を用いてデジタル映像信号の記憶を行うことにより、静止画を表示する際には、記憶回路に記憶されたデジタル映像信号を反復して用いることで、継続的に静止画像の表示を行う際にはソース信号線駆動回路およびゲート信号線駆動回路を停止させることが可能となる。また、液晶表示装置に入力する信号を処理するための映像信号処理回路等の回路も、継続的に静止画像の表示を行う際は停止させることが可能になるため、液晶表示装置の低消費電力化に大きく貢献する。

【図面の簡単な説明】

【図1】 本発明の液晶表示装置の画素部についての回路図。

【図2】 本発明の液晶表示装置のソース信号線駆動回路についての回路図。

【図3】 本発明の液晶表示装置のゲート信号線駆動回路についての回路図。

【図4】 本発明の液晶表示装置のDACコントローラについての回路図。

【図5】 各回路図にてブロックで示した回路の詳細図。

【図6】 各回路図にてブロックで示した回路の詳細図。

【図7】 本発明の液晶表示装置の動作に関するタイミングチャートを示す図。

【図8】 本発明の液晶表示装置の動作に関するタイミングチャートを示す図。

【図9】 本発明の液晶表示装置の画素部についての実際のレイアウトを示す図。

【図10】 複数の階調電源線とデコーダにより構成されたD/A変換回路を有する画素の回路図。

【図11】 複数の階調電源線とデコーダにより構成されたD/A変換回路を有する画素の回路図。

【図12】 本発明の液晶表示装置の基板全体の概略図。

【図13】 本発明の液晶表示装置に、XアドレスデコーダおよびYアドレスデコーダを追加した例を示す図。

【図14】 従来の液晶表示装置の基板全体の概略図および画素部の回路図。

【図15】 従来の液晶表示装置のソース信号線駆動回路についての回路図。

【図16】 液晶表示装置の作成工程例を示す図。

【図17】 液晶表示装置の作成工程例を示す図。

【図18】 液晶表示装置の作成工程例を示す図。

【図19】 液晶表示装置の作成工程例を示す図。

【図20】 携帯情報端末の構成を示すブロック図。

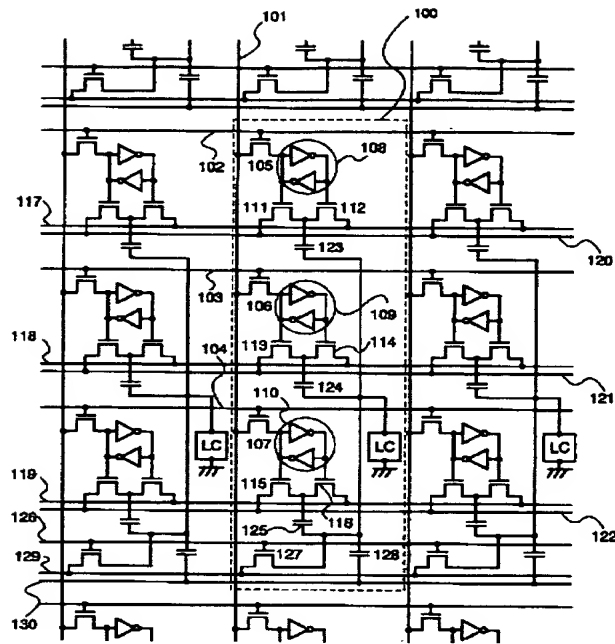
【図21】 携帯電話の構成を示すブロック図。

【図22】 本発明の液晶表示装置を適用した電子機器の例を示す図。

【図23】 本発明の液晶表示装置を適用した電子機器の例を示す図。

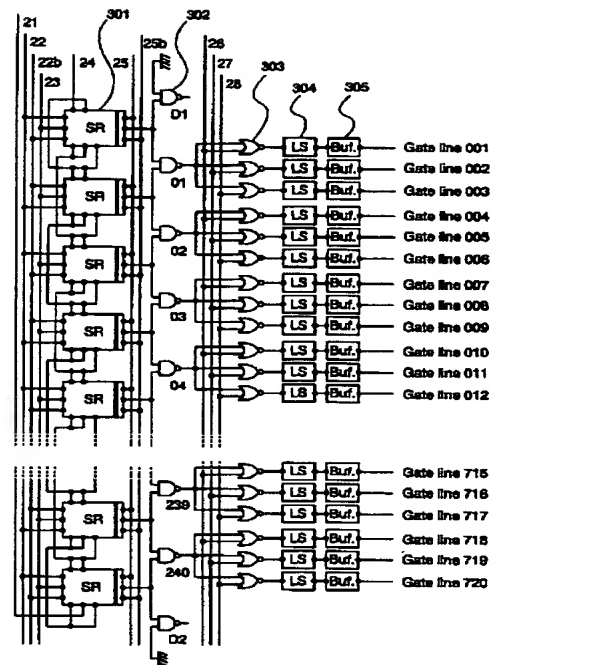


【図1】



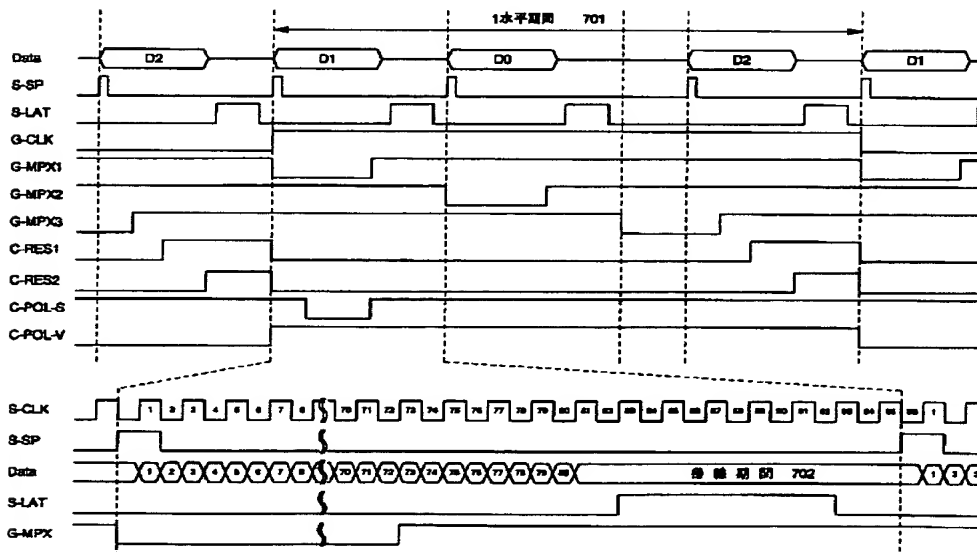
- 101 : ソース信号線
- 102~104 : ゲート信号線
- 105~107 : 画素TFT
- 108~110 : 記憶回路
- 111~116 : 画素電流源用TFT
- 117~119 : 低圧制御電源線(V<sub>L</sub>)
- 120~122 : 高圧制御電源線(V<sub>H</sub>)
- 123~125 : DAC用容量
- 126 : 画素リセット信号線
- 127 : 画素リセット用TFT
- 128 : 保持容量(C<sub>H</sub>)
- 129 : 中間制御電源線(V<sub>M</sub>)
- 130 : コモン電源線(COM)

【図3】

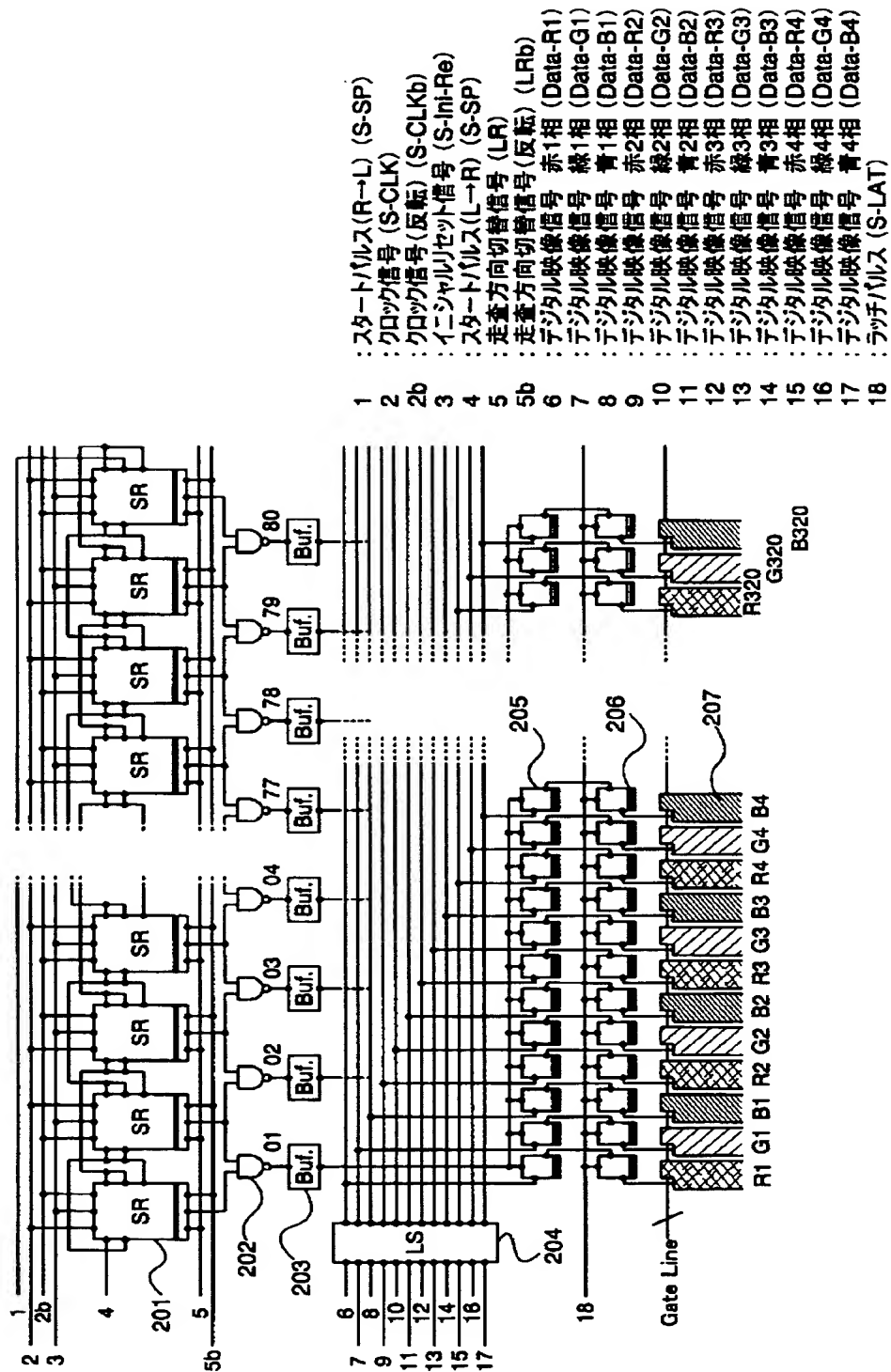


- 21 : スタートパルス(D→U) (G-SP)
- 22 : クロック信号 (G-CLK)
- 22b : クロック信号 (反転) (G-CLKb)
- 23 : イニシャルリセット信号 (G-Int-Res)
- 24 : スタートパルス(U→D) (G-SP)
- 25 : 走査方向切替信号 (UD)
- 25b : 走査方向切替信号 (反転) (UDb)
- 26 : マルチプレクス信号1 (G-MPX1)
- 27 : マルチプレクス信号2 (G-MPX2)
- 28 : マルチプレクス信号3 (G-MPX3)

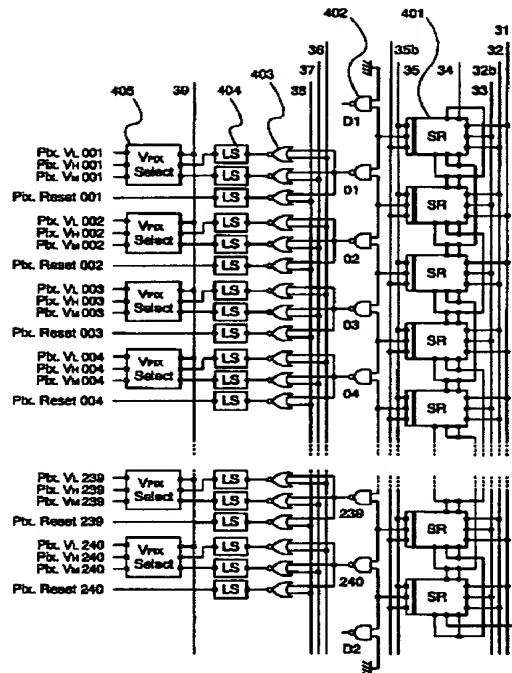
【図7】



【図 2】

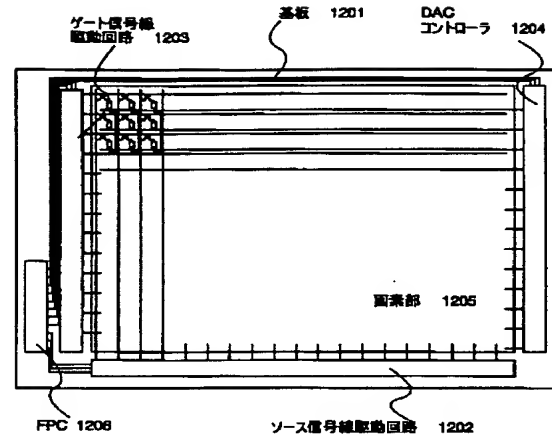


【図 4】

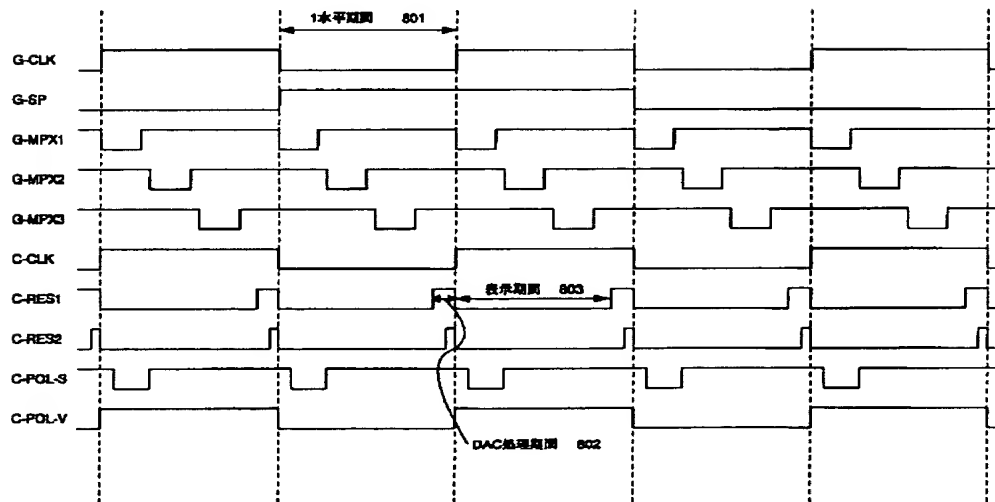


- 31 : スタートパルス(D-U) (C-SP)  
 32 : クロック信号 (C-CLK)  
 32b : クロック信号(反転) (C-CLKb)  
 33 : イニシャルリセット信号 (C-Ini-Re)  
 34 : スタートパルス(U-D) (C-SP)  
 35 : 走査方向切替信号 (UD)  
 35b : 走査方向切替信号(反転) (UDb)  
 36 : 極性反転信号 (C-Pol-S)  
 37 : リセット信号2 (C-Res2)  
 38 : リセット信号1 (C-Res1)  
 39 : 極性切替信号 (C-Pol-V)

【図 12】

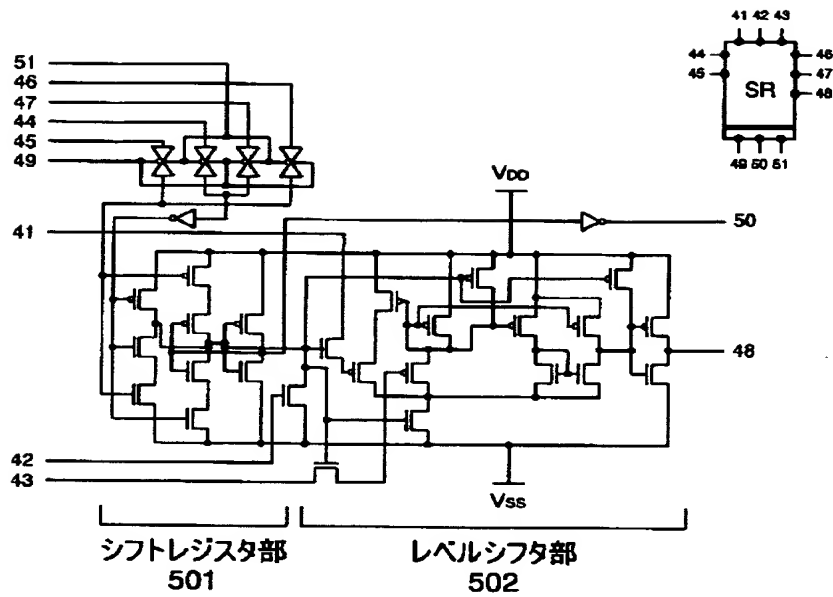


【図 8】

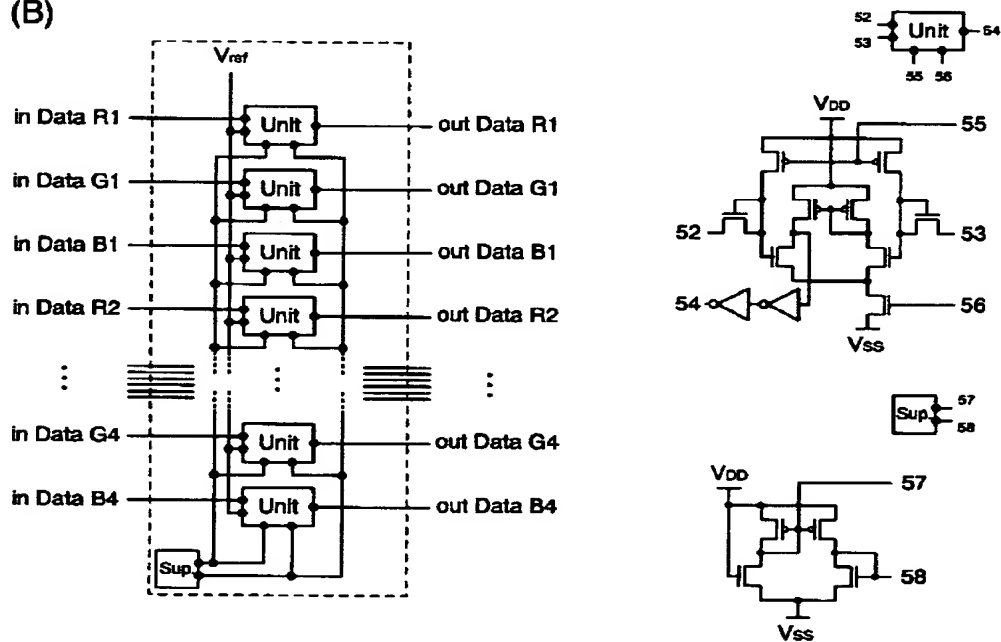


【図 5】

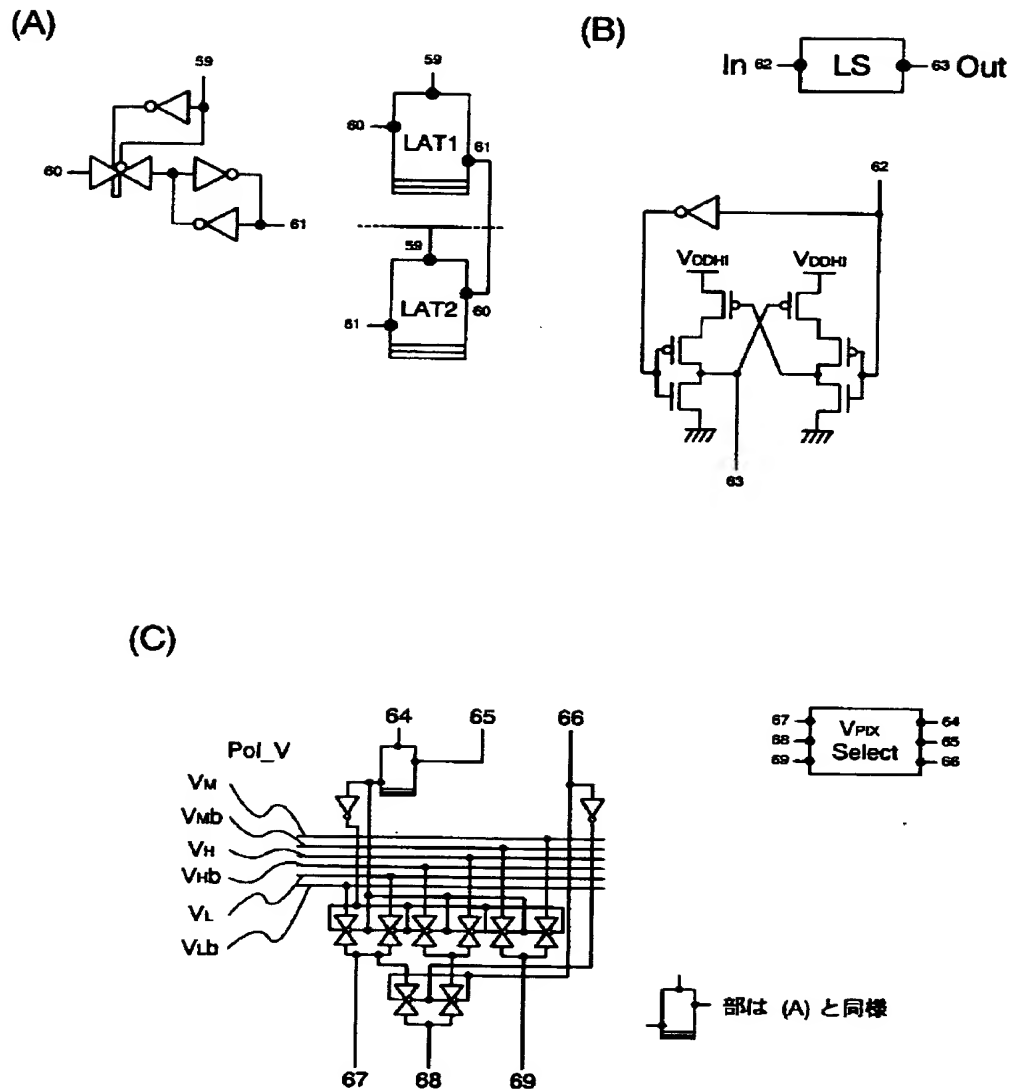
(A)



(B)

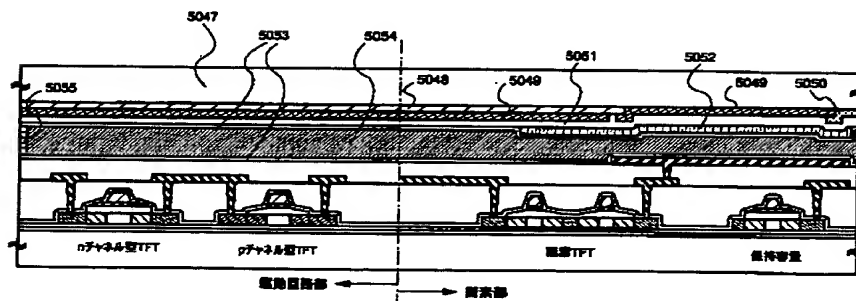


【図 6】



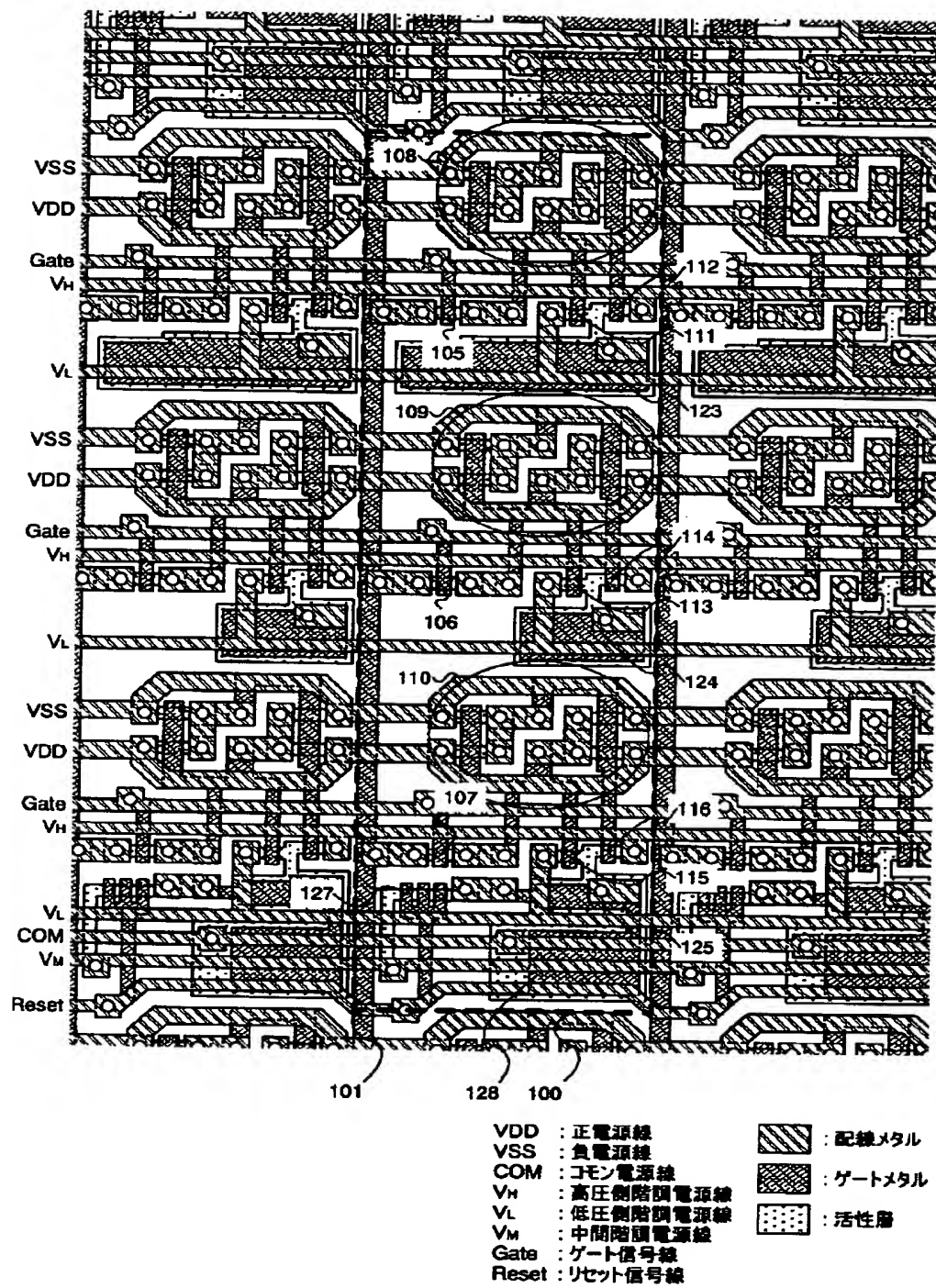
【図 19】

(A) 対向基板形成/液晶材料封入

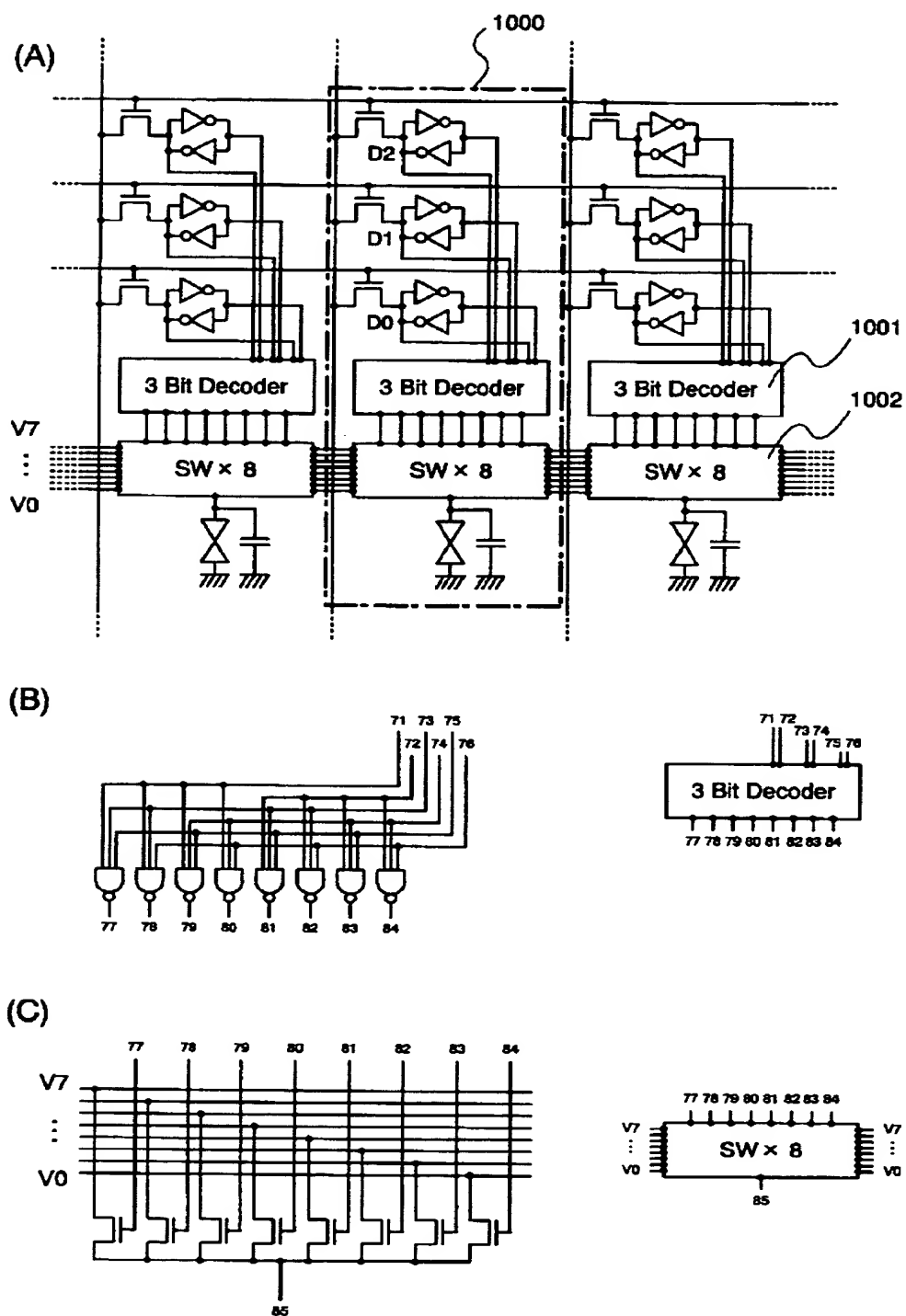


- |           |               |      |        |
|-----------|---------------|------|--------|
| 5047      | : 対向基板        | 5053 | : 配向層  |
| 5048~5050 | : カラーフィルタ     | 5054 | : 液晶材料 |
| 5051      | : オーバーコート層    | 5055 | : シール剤 |
| 5052      | : 対向電極 (透明電極) |      |        |

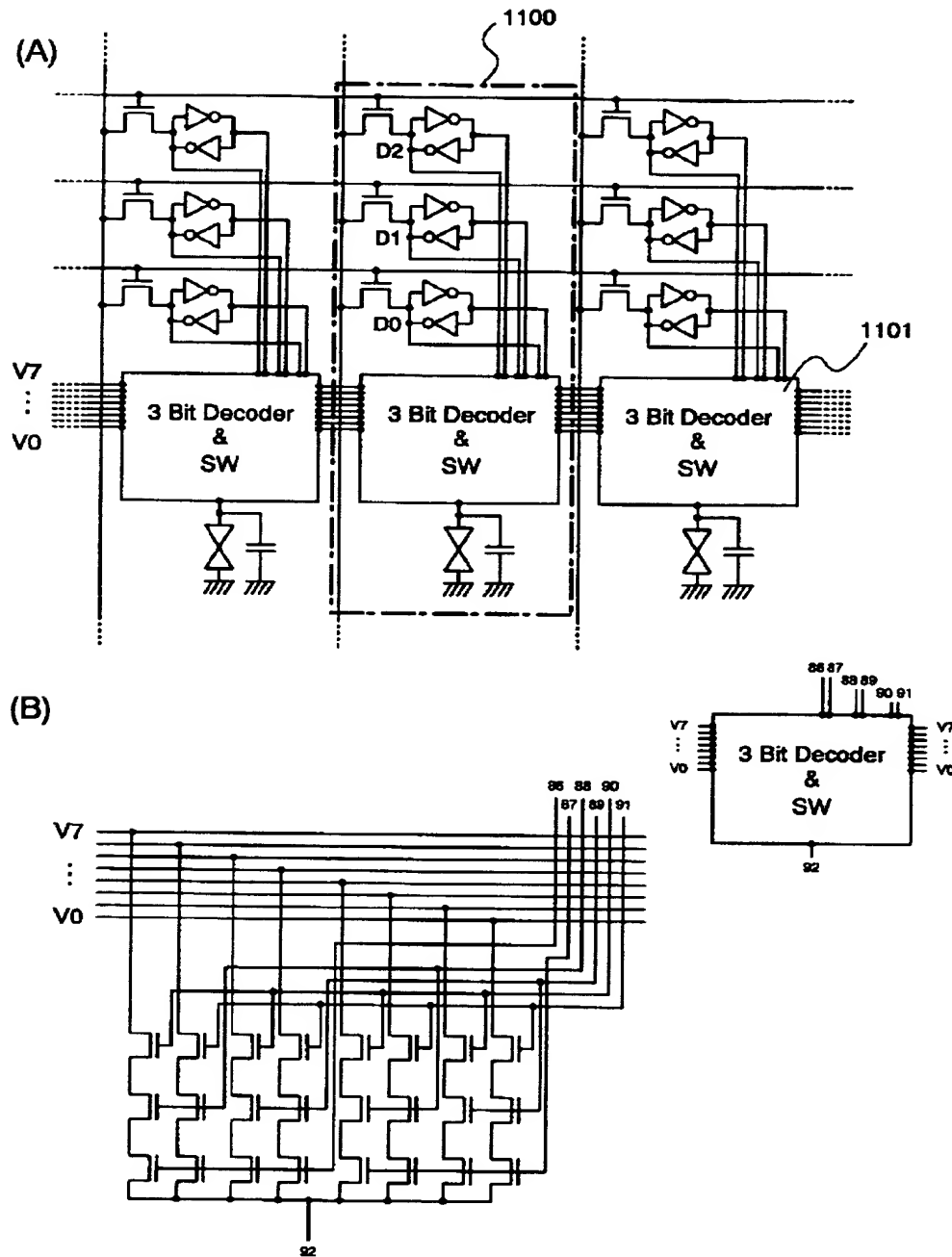
【図 9】



【図10】

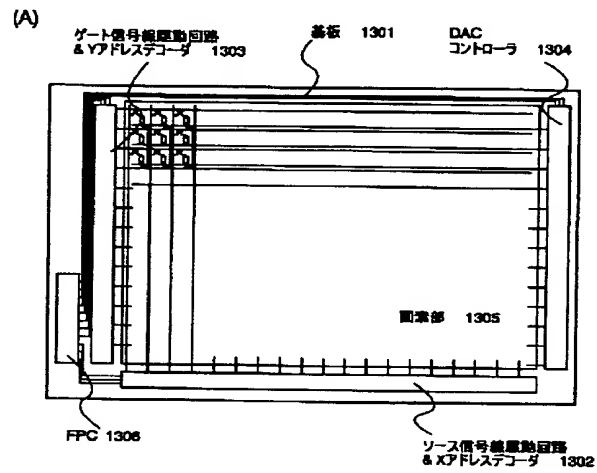


【図 11】

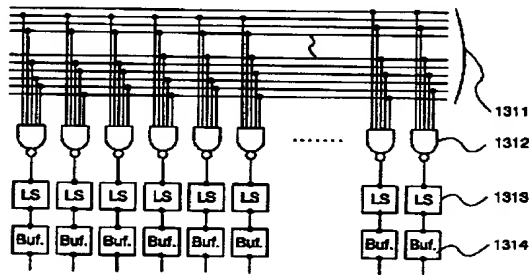




【図 13】

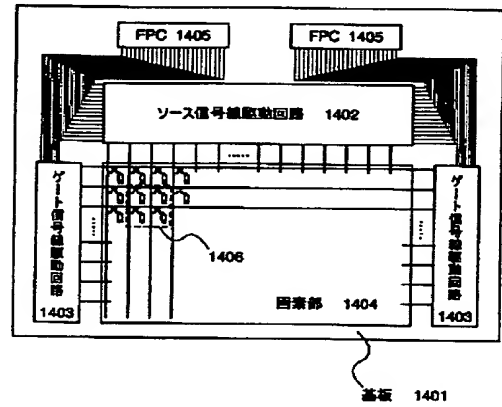


(B)

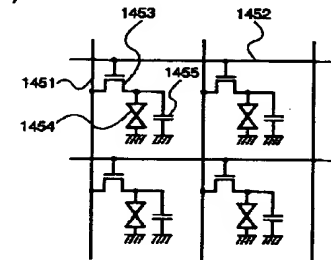


【図 14】

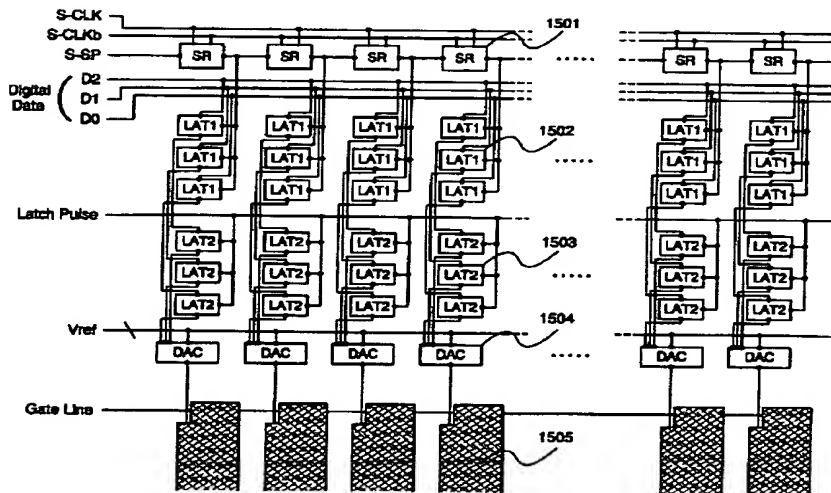
(A)



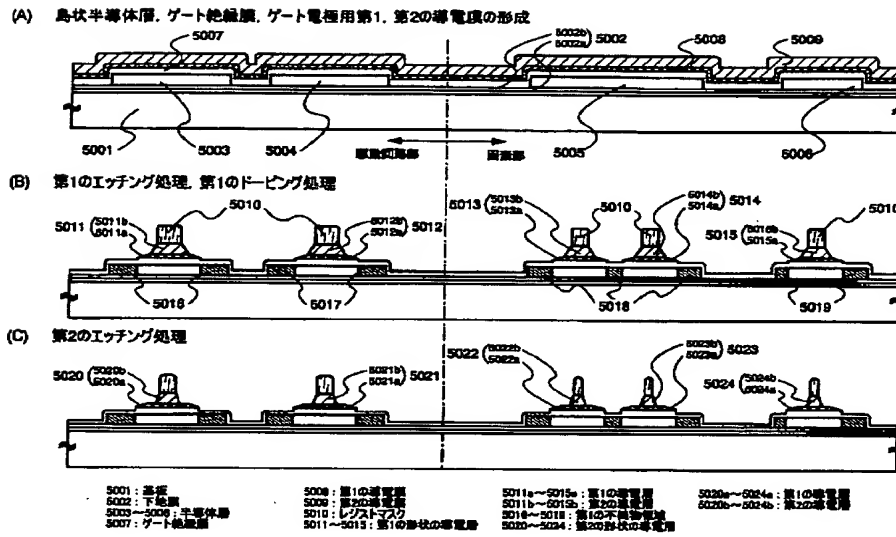
(B)



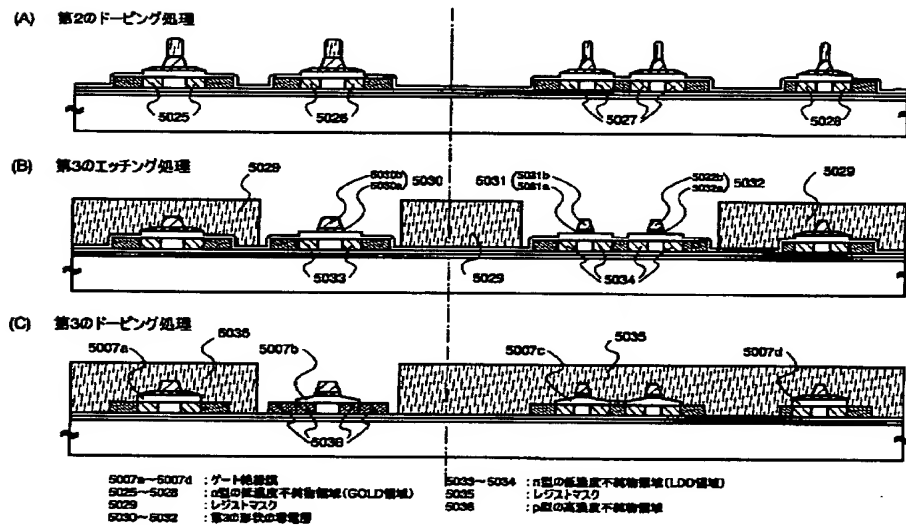
【図 15】



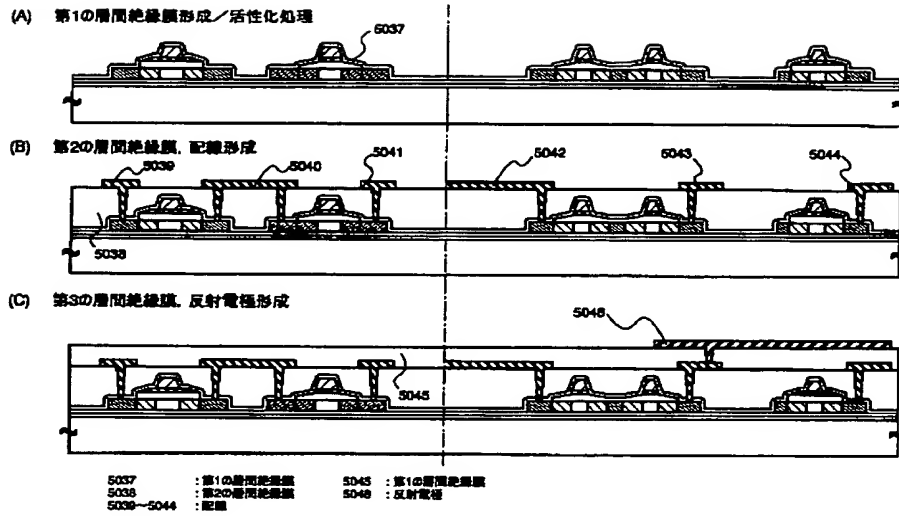
【図16】



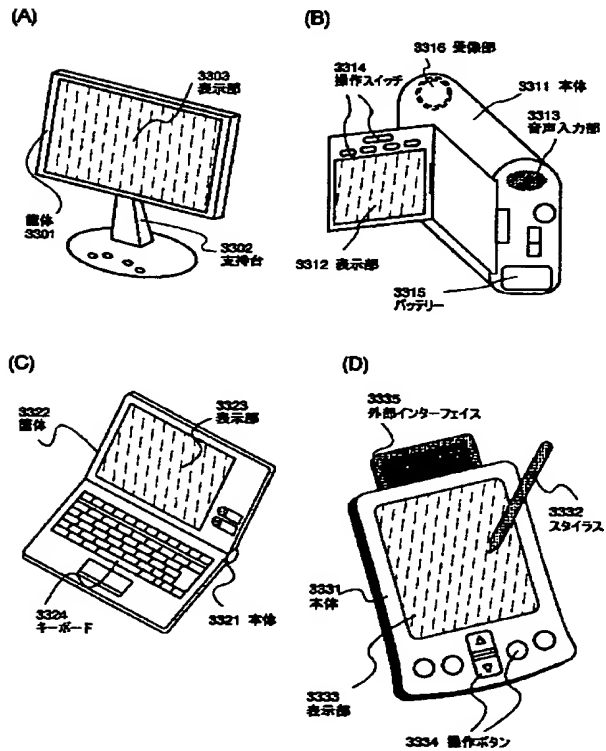
【図17】



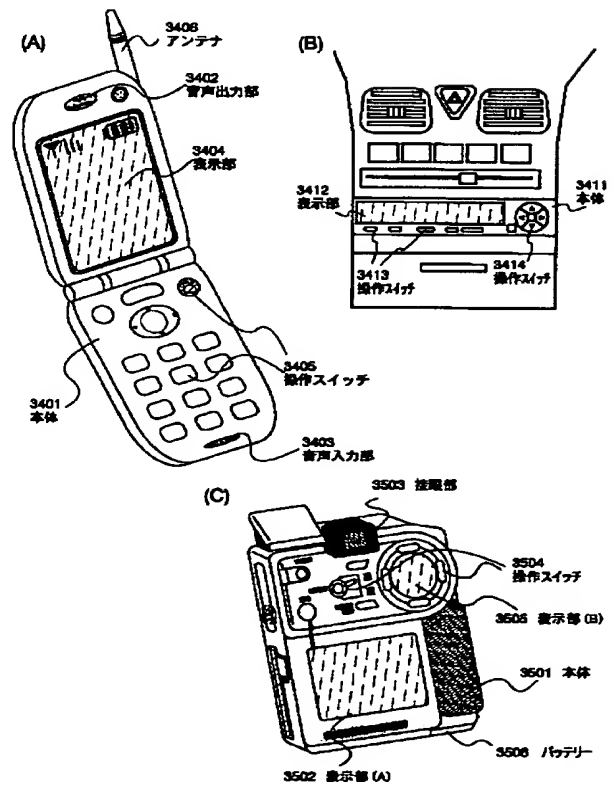
【図 18】



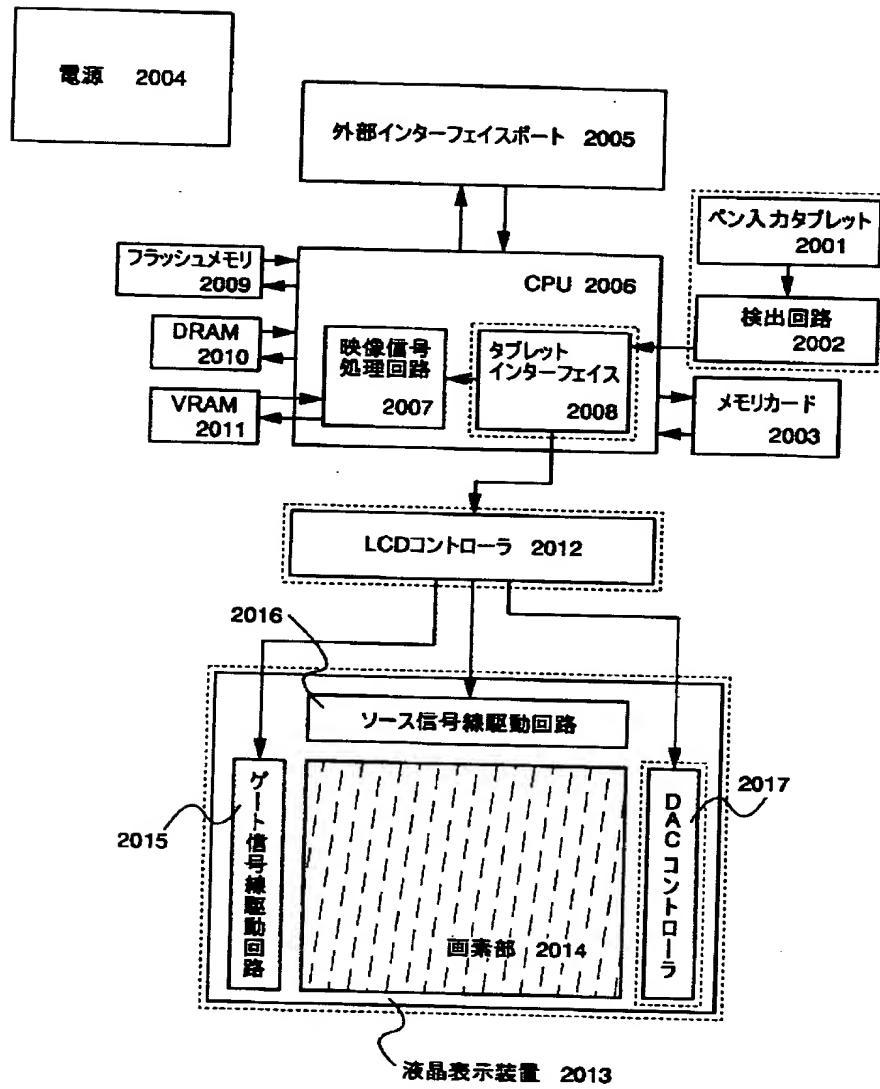
【図 22】



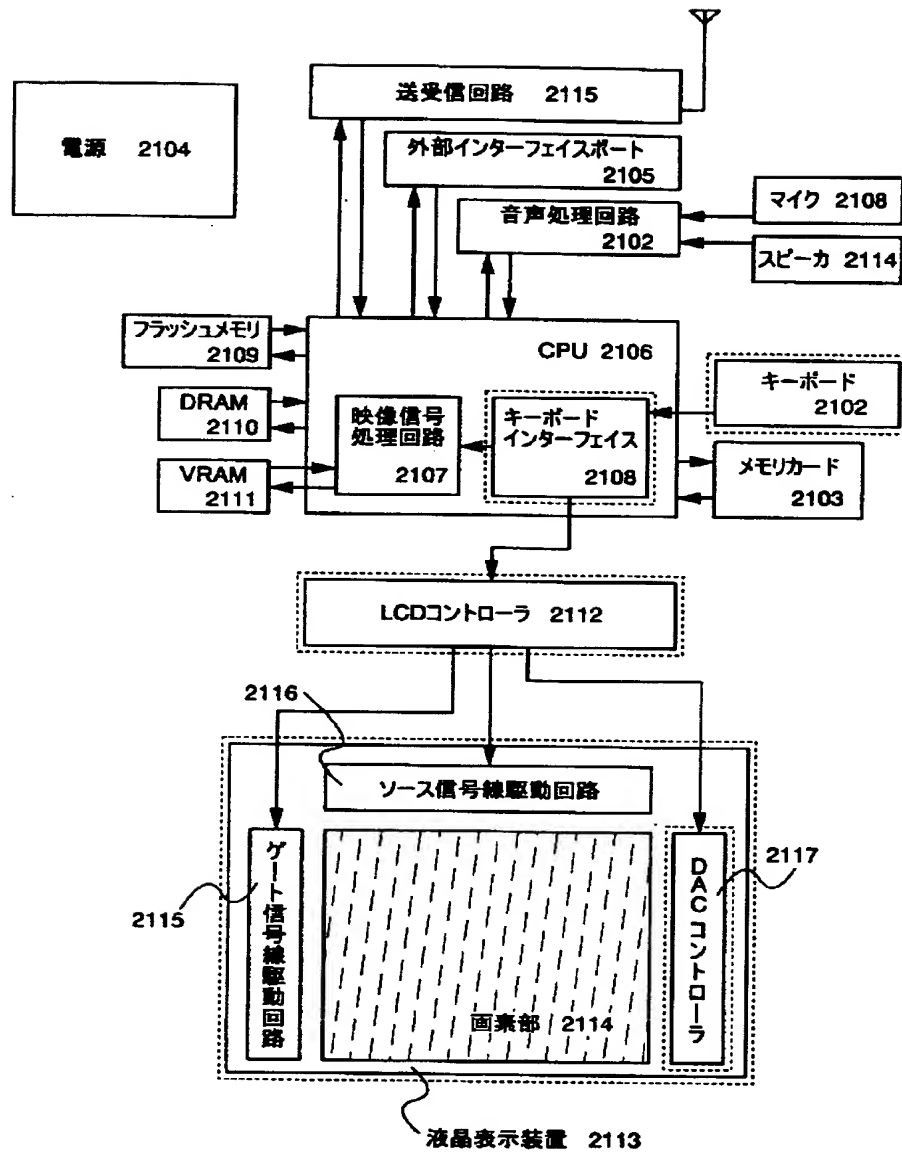
【図 23】



【図 20】



【図 21】



フロントページの続き

(51) Int. Cl.<sup>7</sup>

G 0 9 G 3/20

識別記号

6 1 1  
6 1 2  
6 2 3  
6 2 4  
6 3 1  
6 6 0  
6 8 0

F I

G 0 9 G 3/20

ターマコード (参考)

6 1 1 A  
6 1 2 U  
6 2 3 F  
6 2 4 B  
6 3 1 H  
6 6 0 U  
6 6 0 V  
6 8 0 P  
6 8 0 T

3/36

3/36

6 8 0 V

F ターム(参考) 2H093 NA42 NB07 NC09 NC11 NC15  
NC22 NC26 ND39  
5C006 AA01 AA02 AA16 AF44 AF45  
AF83 BB16 BC03 BC12 BC20  
BF04 BF09 EB05 FA47  
5C080 AA10 BB05 DD26 EE19 EE29  
FF11 JJ02 JJ03 JJ04 JJ06  
5C094 AA22 BA03 BA09 BA14 BA43  
CA19 DA09 DA14 DA15 DB01  
DB04 EA04 EA07 EB02 HA05  
HA06 HA08 HA10  
5G435 AA00 BB12 EE33 EE36 EE37  
GG21 LL07 LL14 LL17